XII Krajowa Konferencja
Teoria Obwodów i Układy Elektroniczne
Rzeszów - Myczkowce 17-20 X 1989

Referat F.04

Aleksander Malinowski
Bogdan Maciej Wilamowski
Instytut Technologii Elektronicznej
Politechnika Gdańska

Ekstraktor schematów elektrycznych bipolarnych układów scalonych.

Streszczenie: Opisano algorytm i program komputerowy dla IBM/PC pozwalające na odtworzenie schematu połączeń układu scalonego na podstawie projektu masek. Program szacuje również parametry podzespołów zaprojektowanego układu oraz uwzględnia istnienie elementów pasożytniczych. Rezultatem przeprowadzonego procesu jest opis układu w standardzie SPICE.

The circuit oriented extractor of bipolar integrated circuits.

Summary: The algorithm and computer program on IBM/PC for the extraction of circuit diagram from mask data of integrated circuits are presented. Program estimates the parameter values of the designed circuit and it calculates parasitic elements to the circuit diagram. The output data in the SPICE format is generated

1. Wstęp.

Program ekstraktora bipolarnych układów scalonych *ESEBUS* został opracowany w celu umożliwienia szybkiej i taniej weryfikacji poprawności projektu układu. Program korzysta z opisu masek układu scalonego generowanego przez programy wspomagające projektowanie, np. PED lub LES. W wyniku ekstrakcji otrzymujemy listę elementów układu, listę elementów pasożytniczych, parametry modeli elementów oraz opis sieci połączeń. Pozwala to na adaptację algorytmu do pracy z dowolnym analizatorem układów elektronicznych, w napisanym programie wykorzystywany jest format SPICE. Można zasymulować działanie układu i przez to dokonać weryfikacji projektu.

Zagadnienie ekstrakcji schematów układów scalonych jest tematem wielu prac prowadzonych w wielu ośrodkach badawczych. W Polsce prowadzone są badania na Politechnice Warszawskiej[1], jednakże cel obydwu prac jest inny. W Warszawie rozpatrywany jest problem szczegółowej identyfikacji struktury układu z uwzględnieniem wpływu kształtu masek na działanie układu. Analizowane układy nie mogą być zbyt wielkie ze względu na dużą liczbę elementów modelu,

ograniczoną ze względów praktycznych przez czas symulacji.

Prezentowany ekstraktor ma inne zastosowanie, służy do weryfikacji poprawności projektu układu i dlatego nie nałożono dużych wymagań odnośnie dokładności modelu układu, co umożliwia szybszą analizę większych strukturm Ma zastosowanie przy weryfikacji poprawności projektów wykonanych metodami interakcyjnymi lub ręcznymi, zmniejszając koszty wdrożenia układu do produkcji.

W procesie ekstrakcji możemy wyróżnić kilka zasadniczych faz:

- przetworzenie danych wejściowych o maskach;
- rozpoznawanie elementów, elementów pasożytniczych;
- znajdowanie połączeń między elementami;
- sprawdzenie reguł projektowania dla elementów i połączeń
- wyznaczanie parametrów elementów oraz pojemności połączeń;
- generowanie opisu układu w zadanym standardzie;

Przedstawiony podział algorytmu jest uniwersalny i obejmuje dowolne technologie, jednakże w dalszej części pracy ograniczymy się tylko do układów bipolarnych ze względu na obszerność zagadnienia.

2. Przetwarzanie danych wejściowych.

Dane wejściowe dla programu mają format listy prostokątów o podanych: współrzędnych, kącie obrócenia względem osi współrzędnych i numerze warstwy. Plik wejściowy jest wczytywany do pamięci operacyjnej i tworzone są oddzielne listy prostokątów dla każdej warstwy z uwzględnieniem grup prostokątów opisujących obszary spójne. Opcjonalnie można dla dowolnej warstwy zasymulować poszerzenie obszaru, które w rzeczywistości ma miejsce wskutek nadtrawienia lub dyfuzji bocznej. Zmodyfikowana lista prostokątów może być optymalizowana pod względem ilości z uwzględnieniem zachodzenia ich na siebie. Działanie to pozwala na zwiększenie szybkości i uproszczenie algorytmów stosowanych w dalszych krokach procesu.

3. Rozpoznawanie elementów i elementów pasożytniczych.

Rozpoznawanie elementów sprowadza się do znajdowania relacji pomiędzy spójnymi grupami prostokątów definiującymi okna w poszczególnych maskach układu. Proces rozpoczynany jest od warstwy okien kontaktowych pod metalizacje. Przyjmuje się, że każde okno jest końcówką conajmniej jednego elementu struktury. Jeżeli pokrywa ono dwa obszary o różnym typie dyfuzji, wówczas traktowane jest jak dwa oddzielne okna połączone ze sobą. Mając dane

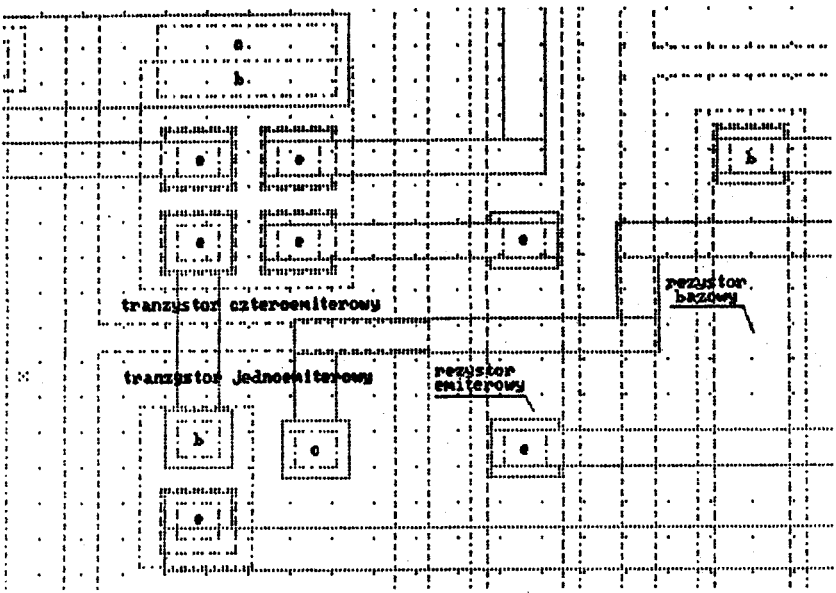
"końcówki" elementów oraz badając typ domieszkowania obszarów, do ktych są podłączone można określić jej rodzaj. Przykładowo dla prostej technologii NPN mamy:

- typu emitera, jeśli prowadzi do warstwy N+, a pod nią nie ma warstwy bazy P.
- typu bazy, jeśli prowadzi do warstwy bazy P.
- typu kolektora, jeśli prowadzi do warstwy N+, pod którą znajduje się warstwa N, lub bezpośrednio do N.
- typu kontaktu do podłoża, jeśli prowadzi do izolacji międzykolektorowej.

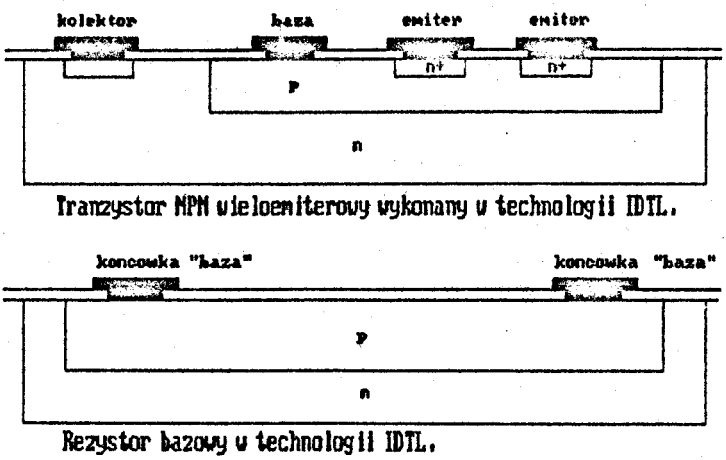
Mając dane końcówki grupujemy je przyporządkowując kolejnym elementom. Wówczas następuje druga faza rozpoznania struktury i rozróżnienie tranzystorów od rezystorów.

- Emitery tranzystorów są przyporządkowane do kolejnych obszarów bazy, jeżeli jest możliwe przydzielenie kilku - mamy do czynienia z tranzystorem wieloemiterowym.
- Jeżeli do emitera podłączone są dwa okna kontaktowe, to mamy do czynienia z rezystorem emiterowym, który może, lecz nie musi być podłączony do tranzystora.
- Rezystory bazowe są to obszary bazy tranzystorów, do których podłączono conajmniej dwa okna kontaktowe prowadzące do różnych metalizacji. Kolektory tych tranzystorów nie muszą być dołączone do metalizacji.
- Każdemu kolektorowi można przypisać co najmniej jedną bazę z emiterami. Przydział następuje poprzez badanie, czy na odcinku łączącym dowolny punkt okna kontaktowego kolektora z obszarem bazy nie występuje warstwa izolacji międzykolektorowej. Szukanie kolektora rozpoczynane jest od bazy do najbliżej umieszczonych kontaktów kolektorowych. W przypadku technologii 3D proces jest odmienny - sprowadza się do problemu analogicznego do przydziału emiterów poszczególnym bazom.
- Dla zidentyfikowanych elementów rozpatrywane są struktury uwzględniające efekty pasożytnicze. Sprawdzane jest występowanie warstwy zagrzebanej o ile występuje w danej technologii.

Na rysunku 1 przedstawiono rzut pionowy masek fragmentu układu z zaznaczonymi typami końcówek. Rysunek 2 pokazuje przekrój pionowy układu.



Rys 1: Przykład fragmentu układu przerzutnika D-flip-flop.
Fragment zawiera tranzystory: cztero i jednoemiterowe, rezystor, i przejście pod metalizacją w formie rezystora emiterowego.
Wykonanie w technologii 2D IDTL



Rys 2. Przekrój pionowy fragmentu struktury zawierający tranzystor i rezystory. Wykonanie w technologii 2D.

4. Sieć połączeń elementów układu.

Kolejnym zadaniem po identyfikacji elementów jest znalezienie sieci połączeń. Zagadnienie to zostało uproszczone dzięki wstępnej obróbce danych o maskach. Mając pogrupowane metalizacje w spójne obszary definiowane przez podlisty prostokątów należy je ponumerować, z ewentualnym uwzględnieniem zwór w postaci rezystorów emiterowych. Następnie sprawdzamy, do której grupy metalizacji dołączona jest dana końcówka elementu.

5. Wyznaczanie parametrów elementów układu.

Wyznaczanie parametrów elementów zostało opracowane z wykorzystaniem programu analizy technologicznej PAT [3], opracowanego dla technologii bipolarnej. Można podać dane w postaci parametrów procesu wytwarzania układu lub w postaci oczekiwanych, sprawdzonych empirycznie wielkości w przeliczeniu na jednostkę powierzchni lub obwodu elementu. Z danych o maskach można wyliczyć pozostałe potrzebne wielkości i szacować parametry układu z dokładnością nie gorszą niż rozrzut technologiczny.

Bardziej skomplikowane okazało się szybkie określanie rezystancji dla elementów dowolnego kształtu. Problem został rozwiązany dla rezystorów dwukońcówkowych przez zastosowanie metody poruszania się w labiryncie jednocześnie przez dwa punkty. Jeden punkt porusza się zgodnie z regułą prawej ręki, drugi - lewej. W każdym kroku mierzona jest odległość między tymi punktami. Środek łączącego je odcinka zakreśla drogę, do której mierzony jest aktualny kąt nachylenia odcinka (do stycznej do drogi). Przejście przez ścieżkę rezystywną wymusza całkowanie drogi z wagą, którą jest jej chwilowa szerokość. Inną metodą, nie zaimplementowaną w programie jest podział obszaru rezystora na prostokąty i trójkąty, dla których można łatwo obliczyć rezystancję, a następnie zwijanie otrzymanej sieci rezystancyjnej.

Pojemności pasożytnicze są liczone osobno dla złącz półprzewodnikowych i osobno dla metalizacji. W pierwszym przypadku wchodzą one do modelu elementu, w drugim dołączane są jako kondensatory do węzłów układu. W przypadku, gdy chcemy dokonać wyłącznie analizy stałoprądowej odtworzonego schematu projektowanego układu proces ten może zostać pominięty, co jest ustawiane w opcjach programu przed rozpoczęciem obliczeń.

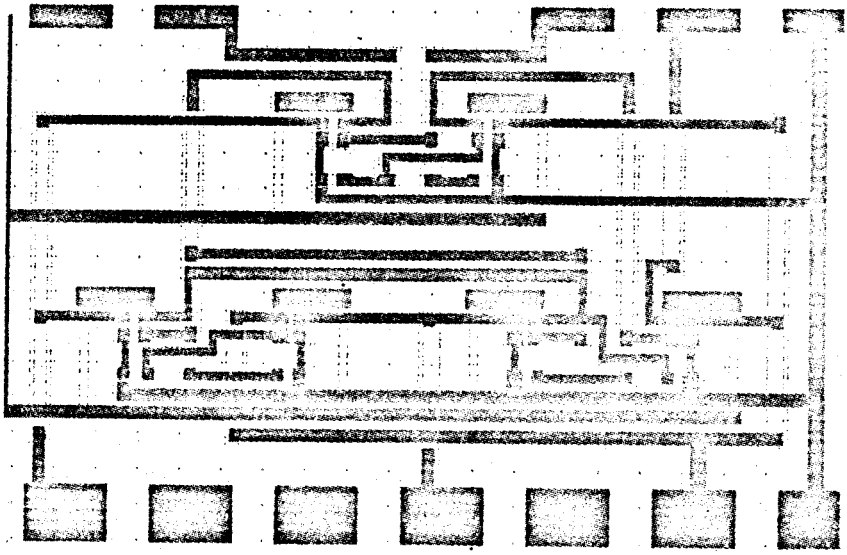
6. Opis sieci połączeń.

Opis odtworzonego układu jest generowany w postaci pliku

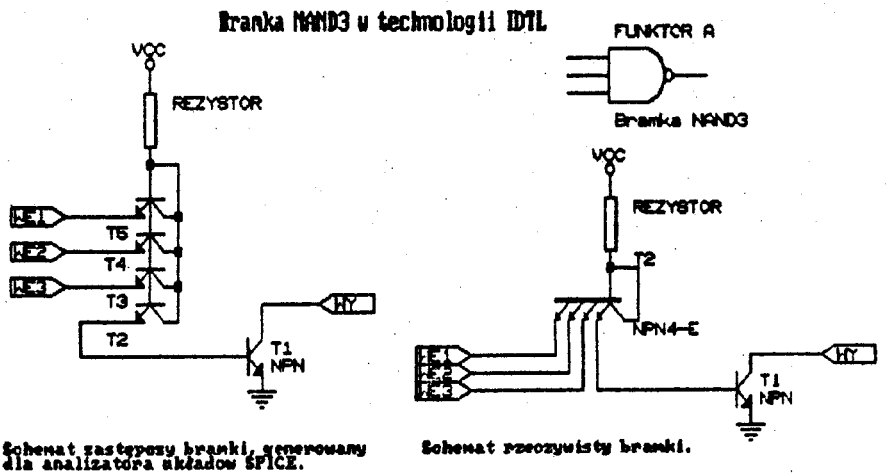
tekstowego definiującego podukład w standardzie SPICE. Standard ten jest korzystny dla przedstawiania układów ze względu na możliwość redukcji ilości modeli elementów. Przy elementach należy wówczas podać jedynie [illegible] powierzchni danego elementu do powierzchni przyjętej dla da[illegible]lelu. Modułowa budowa programu umożliwia łatwą adaptację in[illegible] standardów poprzez dopisanie odpowiednich procedur.

7. Ograniczenia programu.

Podstawowym ograniczeniem programu jest maksymalna wielkość układu analizowanego za pomocą SPICEa. Dla układu przerzutnika D-FLIP-FLOP zrealizowanego w technologii IDTL, zawierającego 6 bramek NAND3, każda 2 tranzystory: jeden czteroemiterowy i jeden pojedyńczy, oraz 1 opornik Wstępne przygotowanie danych i identyfikacja elementów wynosiły ok 150 sekund - analiza zmienoprądowa działania za pomocą SPICE w zakresie 100μS co 1nS trwała około dwudziestu minut przy założonej dokładności 0.1%



Rys. 3 Analizowany przerzutnik D flip-flop w technologii IDTL.



Schemat zastępczy bramki, generowany dla analizatora układów SPICE.

Schemat rzeczywisty bramki.

Rys. 4 Sposób przedstawienia tranzystorów wielosemiterowych dla programu SPICE.

Program *ESEBUS* został napisany w TURBO PASCALu ze wstawkami w TURBO C, bez stosowania techniki nakładkowania i zajmuje około 200kB. Większość obliczeń jest wykonywana na danych typu całkowitoliczbowego.

8. Bibliografia.

1. D.Korzec, A.Wojtasik, M.Syrzycki, E.Piwowarska, W.Pieskacz, W.Kuźmicz, W.Maley - "Device and Parastatic Oriented Circuit Extractor". IEEE Trans on CAD of IC&S, 1987
2. B. M. Wilamowski - "IC Mask design using microcomputer" - Prace Naukowe Instytutu Technologii Elektronicznej Politechniki Wrocławskiej, Wrocław 1987 vol 35 pp44-46.
3. B. M. Wilamowski - "PAT - Program Analizy Technologicznej", lipiec 1988, Opracowanie dla OBREUS Toruń w ramach CPBP 02-16.
4. B. M. Wilamowski, R. Mattson, Z. Staszak, J. Fordemwalt, R. Craigin, A. Musallam - " Novel bipolar transistor structures and loads" SCR Topical Research Conference, June 15, 1984, San Diego USA.