Andrzej J. Majewski
Instytut Informatyki
Bogdan M. Wilamowski
Instytut Technologii Elektronicznej
Politechniki Gdańskiej
80-952 Gdańsk
Majakowskiego 11/12
tel. 471511,471433

Dynamiczne makromodele elementarnych układów cyfrowych

Przedstawiono quasiładunkowe modele bramek logicznych dla układowo-logicznego symulatora układów cyfrowych. Modele te weryfikowano eksperymentalnie oraz z wykorzystaniem znanego programu analizy układowej SPICE. Przyjęte modele umożliwiają uwzględnienie wpływu podstawowych zjawisk zachodzących w układach elektronicznych przy znacznie skróconym czasie analizy.

1.Wstęp

Szybki rozwój mikroelektroniki i układów cyfrowych VLSI wymaga efektywnych narzędzi do weryfikacji projektów. Codzienna praktyka wykazuje, że złożoność zjawisk zachodzących w scalonych układach cyfrowych wielkiej skali integracji, nie pozwala oprzeć się na weryfikacji projektu jedynie na podstawie symulacji logicznej. Analiza układowa dla dużych sieci cyfrowych jest albo niepraktyczna ze względu na koszty i wymagania stawiane sprzętowi komputerowemu, albo wręcz nierealizowalna. Zachodzi wręcz potrzeba, stworzenia narzędzi, które dawałyby wyniki o dokładności oraz wiarygodności na poziomie programów analizy układowej. Istotne jest także, aby symulacja odbywała się w stosownie krótkim czasie.

Bardzo istotną cechą każdego z programów analizy i symulacji układów cyfrowych jest sposób opisu elementarnych obiektów, z których składa się sieć logiczna. Ich prostota decyduje o szybkości działania programu oraz łatwości jego używania. Dokładność z jaką modele odwzorowują rzeczywiste funktory, decyduje o wiarygodności otrzymanych wyników.

W komunikacie przedstawiono sposób zamodelowania oraz identyfikacji parametrów modeli dla symulatora asynchronicznych układów cyfrowych, typu GATE ARRAY - SUGA. Program wykorzystuje zasadę zachowania ładunku, przedstawioną w pracach [1], [2], [3]. W przedstawionym zastosowaniu symulacja jest realizowana dla układów zrealizowanych w technologii bipolarnej TTL. Uniwersalność zarówno symulatora jak również metody identyfikacji parametrów modeli i makromodeli pozwala zastosować przedstawione narzędzia do symulacji układów wykonanych w dowolnej technologii, także do układaów o mieszanej technice realizacji struktury monolitycznej.

2. Charakterystyka programu SUGA

Symulacja działania asynchronicznego układu cyfrowego za pomocą programu SUGA składa się z czterech etapów:

1. tworzenie opisu sieci logicznej,
2. kompilacja sieci,
3. symulacja logiczno - elektryczna,
4. prezentacja graficzna wyników symulacji.

Pierwszy etap można zrealizować wieloma sposobami, np. posługując się programem DRAFT pakietu OrCAD. W wyniku tego otrzymujemy opis sieci połączeń i listę zastosowanych funktorów logicznych oraz innych elementów, np. kondensatorów obciążających.

W następnym kroku sieć logiczna podlega kompilacji, tzn. po określeniu warunków pracy takich jak temperatura i napięcie zasilania, wyznacza się wartości pojemności obciążających, dołączonych do każdego z węzłów oraz obciążenie logiczne poszczególnych wyjść (tzw. fan-out). Bazując na opisie funkcji logicznych oraz parametrach elektrycznych modeli, wyznacza się jednorazowo 7 parametrów definiujących każdy węzeł sieci do symulacji. Z nich w trakcie kompilacji wyznacza się cztery parametry czasowe, charakteryzujące węzeł do symulacji oraz pięć parametrów czasowo-napięciowych do prezentacji graficznej.

W kolejnym kroku realizowana jest symulacja logiczna na bazie tych parametrów. Ponieważ ich wartości są pamiętane jako zmienne typu Integer, przebieg symulacji jest bardzo szybki.

Jako kolejna czynność, realizowana jest prezentacja graficzna otrzymanych wyników, bazująca także na parametrach węzłów wyznaczonych w trakcie kompilacji sieci.

3. Opis metody identyfikacji parametrów dynamicznych modelu

W przypadku, gdy symulator ma być wykorzystany do układów zrealizowanych w znanej i dobrze zdefiniowanej technologii, do identyfikacji parametrów można posłużyć się pomiarami realizowanymi w prostym układzie eksperymentalnym, przy stworzeniu określonych warunków zasilania, temperatury pracy, obciążenia układowego (fan out) i pojemności obciążającej. Pomiary należy wykonać metodami oscyloskopowymi, przy wykorzystaniu odpowiednio wysokiej jakości sprzętu pomiarowego. Autorzy stosowali do identyfikacji parametrów układów scalonych wykonanych w technologii standard TTL oscyloskop firmy Tektronix 2455A, o paśmie przenoszenia DC ÷ 250MHz i dokładności podstawy czasu dla zakresu 1 ns/dz lepszej niż ± 1.0%. Oscyloskop ten posiada cyfrowy pomiar czasu i napięcia na obserwowanych oscylogramach. Stosowano sondy: prądową, napięciowe x10 oraz x100 o pojemności wejściowej 2pF. Zaobserwowane oscylogramy oraz wykonane pomiary czasu, wartości napięć oraz prądów, posłużyły także do weryfikacji poprawności modelu bramki standard TTL dla programu SPICE [4].

O jakości otrzymywanych wyników analizy układowej decyduje jakość zastosowanych modeli oraz dokładność odwzorowania rzeczywistych układów. Stosując tę metodę, należało najpierw dopracować modele podstawowych funktorów do analizy układowej tak, aby charakterystyki stałoprądowe (analizy DC) oraz charakterystyki dynamiczne (analizy Transient) jak najdokładniej odpowiadały danym obserwowanym na oscyloskopie.

Przeprowadzone symulacje elektryczne bramek TTL w różnych warunkach temperatury zasilania, obciążenia oraz sterowania pozwoliły potwierdzić poprawność stworzonych modeli. Daje to możliwość zastępowania pomiarów elektrycznych przez symulacje za pomocą programu SPICE dla warunków trudnych do zrealizowania w praktyce, np. dla braku obciążenia logicznego lub pojemnościowego.

Badania porównawcze obu metod przeprowadzone przez autorów dowodzą słuszności takiego podejścia - otrzymywane wyniki różniły się na poziomie dokładności pomiarów.

Następnie przeprowadzono symulacje prostej sieci cyfrowej, badając zachowanie się określonych funktorów przy zmianach napięcia zasilania, temperatury otoczenia, obciążenia pojemnościowego i układowego. Z powyższych pomiarów (i analiz komputerowych) wyznaczono wartość następujących parametrów:

t_{phl} - czas propagacji sygnału przez funktor logiczny dla zmiany stanu na wyjściu z 1 na 0 (H --> L),

t_{plh} - czas propagacji sygnału przez funktor logiczny dla zmiany stanu na wyjściu z 0 na 1 (L --> H),

t_{rm} - czas narastania sygnału na wyjściu od napięcia stanu niskiego do napięcia progowego,

t_{fm} - czas opadania sygnału na wyjściu od napięcia stanu wysokiego do napięcia progowego,

t_r - czas narastania sygnału na wyjściu od napięcia progowego do napięcia stanu wysokiego,

t_f - czas opadania sygnału na wyjściu od napięcia progowego do napięcia stanu niskiego,

V_t - napięcie progowe.

Parametry te będą zmieniały się zależnie od wartości podanych wcześniej czynników.

Docelowo wyznacza się współczynniki zależności funkcyjnej poszczególnych parametrów od czynników układowych i zewnętrznych.

C_l - pojemność obciążenia,

Fo - fan out - obciążenie układowe w jednostkach obciążenia (UL),

Ucc - napięcie zasilania,

T - temperatura otoczenia.

Przyjęto następujący zakres zmian czynników (standard TTL).

Standardowe wartości czynników podkreślono.

C_l - <u>0pF</u> ÷ 200pF,

Fo - 0, <u>1</u>, 5, 10 [1]

T - 0°C, <u>25°C</u>, 50°C, 75°C,

Ucc - 4,75V, <u>5V</u>, 5,25V.

[1] Przypadek Fo=0 został pominięty, w układach TTL nie ma sensu.

Równanie określające wartość każdego z wyznaczonych parametrów ma następującą ogólną postać:

dla opisu funkcją liniową - 5 współczynników

$$PAR = PAR_0 + a_{cl}\cdot C_l + a_{fo}\cdot(Fo-1) + a_{cT}\cdot(T-25°C) + a_{cU}\cdot(Ucc-5V)$$

dla opisu funkcją drugiego stopnia - 15 współczynników

$$\begin{aligned} PAR = PAR_0 &+ b_{cl}\cdot C_l^2 + b_{fo}\cdot(Fo-1)^2 + b_{cT}\cdot(T-25°C)^2 + b_{cU}\cdot(Ucc-5V)^2 + \\ &+ b_{clfo}\cdot C_l\cdot(Fo-1) + b_{clcT}\cdot C_l\cdot(T-25°C) + b_{clcU}\cdot C_l\cdot(Ucc-5V) + \\ &+ b_{focT}\cdot(Fo-1)\cdot(T-25°C) + b_{focU}\cdot(Fo-1)\cdot(Ucc-5V) + \\ &+ b_{cTcU}\cdot(T-25°C)\cdot(Ucc-5V) + \\ &+ a_{cl}\cdot C_l + a_{fo}\cdot(Fo-1) + a_{cT}\cdot(T-25°C) + a_{cU}\cdot(Ucc-5V) \end{aligned}$$

Po rozwiązaniu stosownego układu równań, wyznaczamy wartość liczbową każdego ze współczynników. Na tym etapie możemy dokonać uproszczenia funkcji, eliminując te składniki, których współczynniki mają istotnie małą wartość.

W ten sposób możemy obliczyć parametry modeli dynamicznych, niezbędne do pracy symulatora dla każdych warunków pracy mieszczących się w zdefiniowanym wcześniej zakresie zmienności czynników wejściowych.

Skomplikowana postać funkcji służącej do wyznaczania parametrów, nie ma wpływu na szybkość obliczeń. Wyznaczenie parametrów odbywa się jednorazowo dla każdego węzła, a w trakcie symulacji wyznaczone wartości, jako stałe parametry, definiują określony węzeł sieci logicznej.

4. Przykładowe wyniki wyznaczenia parametrów dynamicznych

W analizowanym przykładzie zidentyfikowano parametry układów wykonanych w technologii TTL standard. Po analizie wielkości odchyłek dla opisu parametrów funkcją liniową zdecydowano się na opis funkcją drugiego stopnia.

Wyniki są następujące:

PAR	t_{pHl}	t_{rm}	t_f	t_{pLH}	t_{rm}	t_r	V_t
PAR_0	8.70865	1.61346	2.67801	7.89259	3.28673	3.80204	1.4113
a_c	0.10928	0.02034	-0.00396	0.09328	0.04921	0.03557	0.0000
a_f	0.04113	0.05644	0.49765	0.12100	0.12584	-0.02840	0.0000
a_t	-0.01996	0.00150	-0.01109	-0.01434	-0.01071	0.00351	-0.0030
a_u	-2.08248	-0.74073	-0.74848	-1.40435	-0.79492	-2.40499	0.0380
b_c	-0.00020	-0.00002	0.00008	-0.00014	-0.00006	0.00002	0.0000
b_f	0.00551	0.00009	0.00031	0.00441	0.00348	0.00378	0.0000
b_t	0.00000	-0.00001	0.00007	-0.00000	0.00000	0.00001	0.0000
b_u	-0.30412	0.96536	2.11216	-0.19188	-0.01270	2.03720	-0.0240
b_{cf}	0.00034	-0.00044	-0.00325	-0.00286	-0.00038	0.00203	0.0000
b_{ct}	0.00002	0.00002	-0.00006	-0.00016	-0.00013	0.00010	0.0000
b_{cu}	-0.00320	-0.00906	-0.00416	-0.01532	-0.00880	-0.01669	0.0000
b_{ft}	-0.00013	-0.00002	-0.00149	0.00038	0.00008	0.00100	0.0000
b_{fu}	-0.02534	-0.03784	-0.13990	0.05955	0.01334	0.07026	0.0000
b_{tu}	0.01760	0.00240	-0.00120	0.01040	0.00680	0.01800	0.0007

Zerowe współczynniki określają składniki, które mogą być pominięte ze względu na ich nikły wpływ na wartość parametru (błąd mniejszy niż 1%). Dostrzeżono pomijalny wpływ czynnika T^2 oraz Ucc^2 oraz małe znaczenie czynników Fo·T i Fo·Ucc na otrzymane wyniki. Wynika z tego, że zależności parametrów od temperatury i napięcia mają zdecydowanie liniowy charakter. Po wstępnej eliminacji otrzymano modele o 76 parametrach dla dokładności odwzorowania lepszej niż 3%. Ograniczając zakres zmian pojemności obciążenia do np. 0 ÷ 50pF można zmniejszyć ilość parametrów jeszcze bardziej. W rzeczywistych układach warunek ograniczenia obciążenia pojemnościowego do 50pF jest zazwyczaj spełniony, więc nie pojawią się błędy z tego tytułu.

5. Weryfikacja modeli

Zastosowane w testowanych wersjach programów SUC, MSUC i SUGA modele funktorów logicznych, obejmują 9 parametrów. Nie uwzględniono w nich wpływu napięcia zasilania, temperatury oraz obciążenia logicznego (fan - out).

Dla ustalonych warunków zewnętrznych, otrzymano wyniki dobrej wiarygodności i dokładności w odtworzeniu zjawisk funkcji czasu. Efekty hazardów i wyścigów można obserwować jak szpilki na sygnałach wyjściowych. Liniowe zmiany sygnałów pomiędz poziomami logicznymi powodują jednak trudności w interpretacj wyników. Po wprowadzeniu modeli uwzględniających wpływ pominiętych wcześniej czynników, dokładność uległa zdecydowane poprawie. W chwili obecnej, porównując wyniki otrzymane programów SUGA i SPICE, otrzymano różnice na poziomie 0.1 ÷ 1.5 n przy wyznaczeniu miejsc zmiany sygnału dla modeli opisanych 3 parametrami (aproksymacja liniowa) i różnice rzędu 0.04 ÷ 0.18 n dla modeli 105 (76) parametrowych (aproksymacja kwadratowa).

Otrzymane wyniki pozwalają uznać przyjęte rozwiązanie z właściwe, a modele za wystarczająco dokładne, zwłaszcza przypadku opisu funkcjami drugiego stopnia.

6. Podsumowanie

W komunikacie przedstawiono efektywny algorytm analiz układowo - logicznej asynchronicznych układów cyfrowych Przedstawiono metodę identyfikacji i opisu parametrów logicznych i elektrycznych dla modeli dynamicznych w przedstawiony algorytmie. Fizyczne podłoże zależności przyjętych przy projektowaniu algorytmu i definiowaniu modeli, pozwala uzyskiwa wiarygodne i dokładne wyniki, pomimo istotnych uproszczeń wprowadzonych do opisu problemu. W chwili obecnej, na osiągnięty etapie rozwoju, algorytm nie pozwala na modelowanie układów trójstanowych i bramek transmisyjnych; nie jest możliwa modyfikacja sieci w trakcie pracy symulatora, jaką powodują użycie układów trzystanowych. Uproszczenie opisu funkcyjnego definiującego poszczególne parametry powoduje błędy w wyznaczeniu tychże, na nieistotnym poziomie. Tak więc osiągnięte parametry czasowe i dokładnościowe (przy weryfikacji analizą układową za pomocą programu SPICE) pozwalają uznać to rozwiązanie za kompetentne narzędzie do weryfikacji projektów asynchronicznych układów cyfrowych typu GATE ARRAY.

7.Literatura

[1] B.M.Wilamowski, D.J.Hamilton, Z.J. Staszak, A.J.Majewski: Analysis of Digital Integrated Circits using Charge Conservation Principle. Electron Technology, 19, 1/2, pp 59-73 Warszawa 1986

[2] B.M.Wilamowski, D.J.Cholewiński: Symulator asynchronicznych układów cyfrowych. X Krajowa KTOiUE, Rytro, październik 1988.

[3] B.M.Wilamowski: Efektywny algorytm analizy stanów przejściowych w układach scalonych. VIII Krajowa KTOiUE, wrzesień 1985, Gdańsk.

[4] L.W.Nagel: SPICE: computer program to simulate semiconductor circuits, Univ. of California, Berkeley. ERL Memo. ERL - M520, May 1975.

Aleksander Malinowski
Bogdan M. Wilamowski

Instytut Technologii Elektronicznej
Politechnika Gdańska

Weryfikacja poprawności topografii układów scalonych

Opisano algorytm i program ekstraktora schematów elektrycznych wykorzystującego dane o maskach układu scalonego. Program umożliwia weryfikację poprawności projektu z uwzględnieniem elementów pasożytniczych drogą symulacji działania układu z wykorzystaniem specjalizowanych programów n.p. PSPICE. Zastępczy schemat elektryczny jest stosunkowo prosty, co pozwala na symulację działania złożonych układów. Inną cechą programu jest sprawdzenie poprawności projektu w stosunku do ustalonych technologią reguł projektowania.

1. Wstęp

Wraz z rozwojem technologii monolitycznych układów scalonych rośnie komplikacja realizowanych struktur. Niestety dotychczas nie opracowano efektywnych algorytmów automatycznego projektowania układów małej i średniej skali integracji, gdzie optymalne rozmieszczenie elementów pozwala na zmniejszenie wymiarów układu, a więc również na obniżenie kosztów. W tych przypadkach stosuje się metody projektowania wspomaganego komputerem. Zachodzi więc konieczność kontrolowania poprawności działań projektanta. Jedną z metod weryfikacji projektu jest automatyczna ekstrakcja schematu elektrycznego układu scalonego z topologii zawartej w danych o maskach struktury za pomocą programu komputerowego, a następnie analiza układu za pomocą jednego z dostępnych programów analizy układowej. Proces ekstrakcji przedstawiono w dalszej części referatu.

W metodzie ekstrakcji schematu elektrycznego można wyróżnić kilka odrębnych zagadnień:

1. Rozpoznawanie elementów;
2. Identyfikacja sieci połączeń;
3. Sprawdzanie reguł projektowania;
4. Generowanie opisu sieci połączeń w standardowych formatach;