Krzysztof Górecki
Bogdan Wilamowski

Politechnika Gdańska
Instytut Technologii Elektronicznej
80-952 Gdańsk
Majakowskiego 11/12

PROPAGACYJNE PRZETWORNIKI ANALOGOWO-CYFROWE

Zaprezentowano koncepcje analogowo-cyfrowych przetworników propagacyjnych, charakteryzujących się prostą budową i dużą szybkością działania. Przedstawiono analizę statyczną i dynamiczną układu, jego symulację przy wykorzystaniu programu PSPICE. Przeprowadzono analizę błędu i dokładności przetwarzania. Przedyskutowano zalety i wady przetworników tego typu.

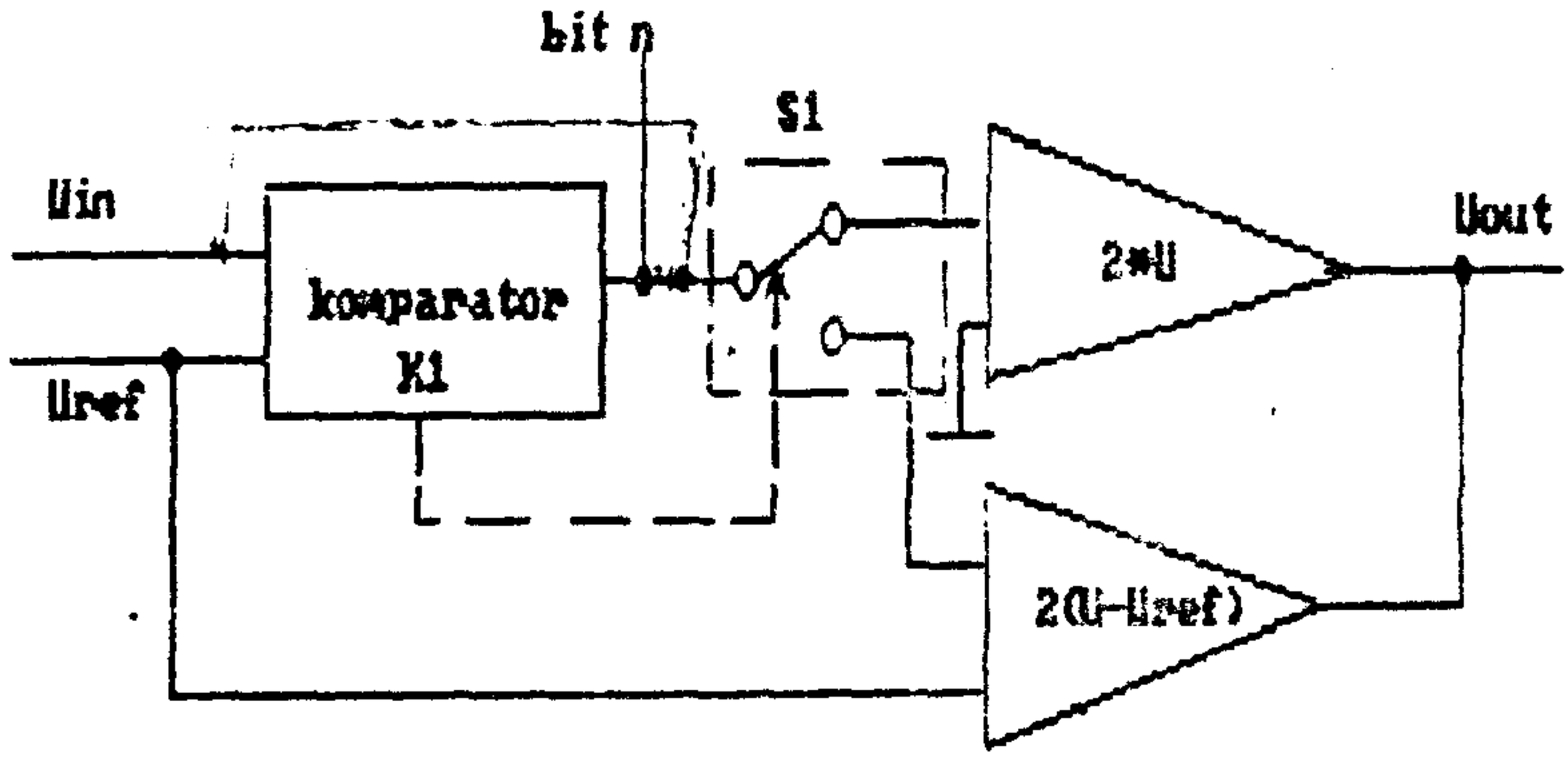
1. Wprowadzenie

Rozwijająca się w szybkim tempie cyfrowa transmisja sygnałów, wymaga szybkich i dokładnych przetworników A/C. W pracy przedstawiono nową koncepcję propagacyjnych przetworników A/C posiadających szereg zalet w stosunku do stosowanych dotychczas rozwiązań. Liczba zastosowanych w nich komparatorów jest równa liczbie bitów przetwarzanego sygnału. Szybkość działania jest porównywalna z przetwornikami typu "flash", a zależy jedynie od czasu propagacji sygnału przez układ. Istotę działania tego typu układów ilustruje rysunek 1. Wejściowy sygnał analogowy U_A porównywany jest przy pomocy komparatora K_1 z połową napięcia referencyjnego $U_{ref}/2$. Jeżeli wartość napięcia wejściowego jest większa od $U_{ref}/2$ to najbardziej znaczący bit wynosi "1" i klucz S_1 zwarty jest do napięcia referencyjnego. Układ wzmacniacza o wzmocnieniu równym dokładnie 2 wzmacnia różnicę napięć potencjałów generując napięcie dla następnego, kaskadowo połączonego stopnia o identycznej jak pierwszy budowie. W kolejnych stopniach dekodowane są kolejne bity inforamcji. Czas działania układu jest bardzo krótki i związany jedynie z czasem propagacji sygnału przez układ.

Temat realizowany w ramach CPBP 02.16

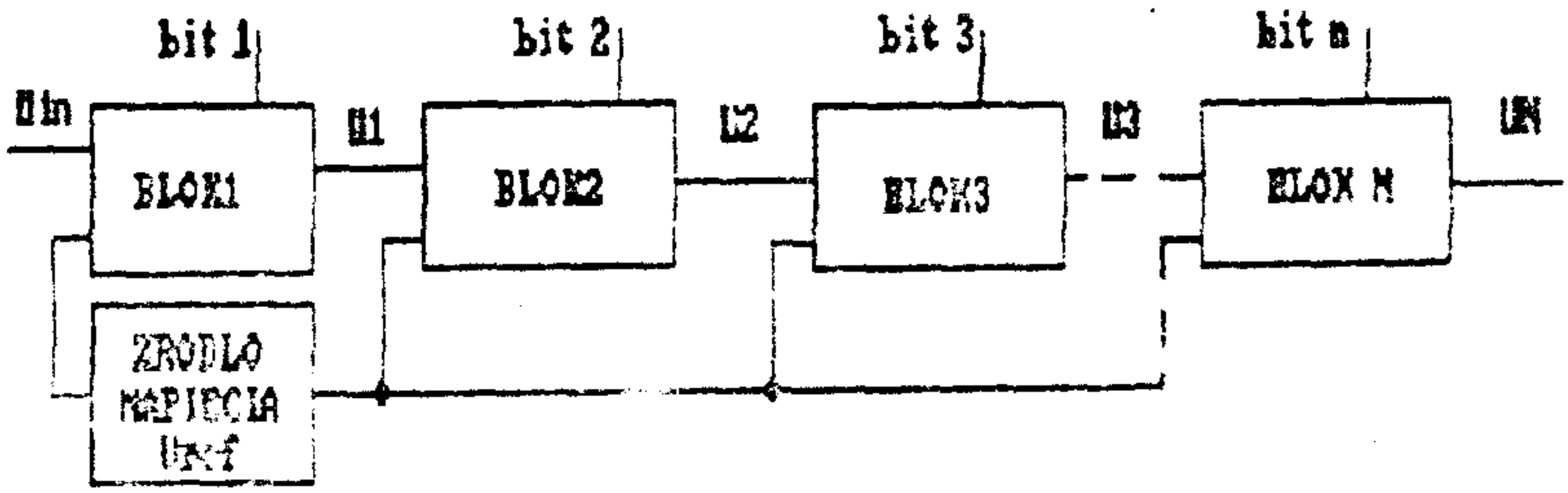
2. Opis blokowy układu

Schemat podstawowego bloku analizowanego w pracy układu przedstawiony jest na rysunku 1.



Rys.1. Schemat blokowy układu przetwarzającego 1 bit

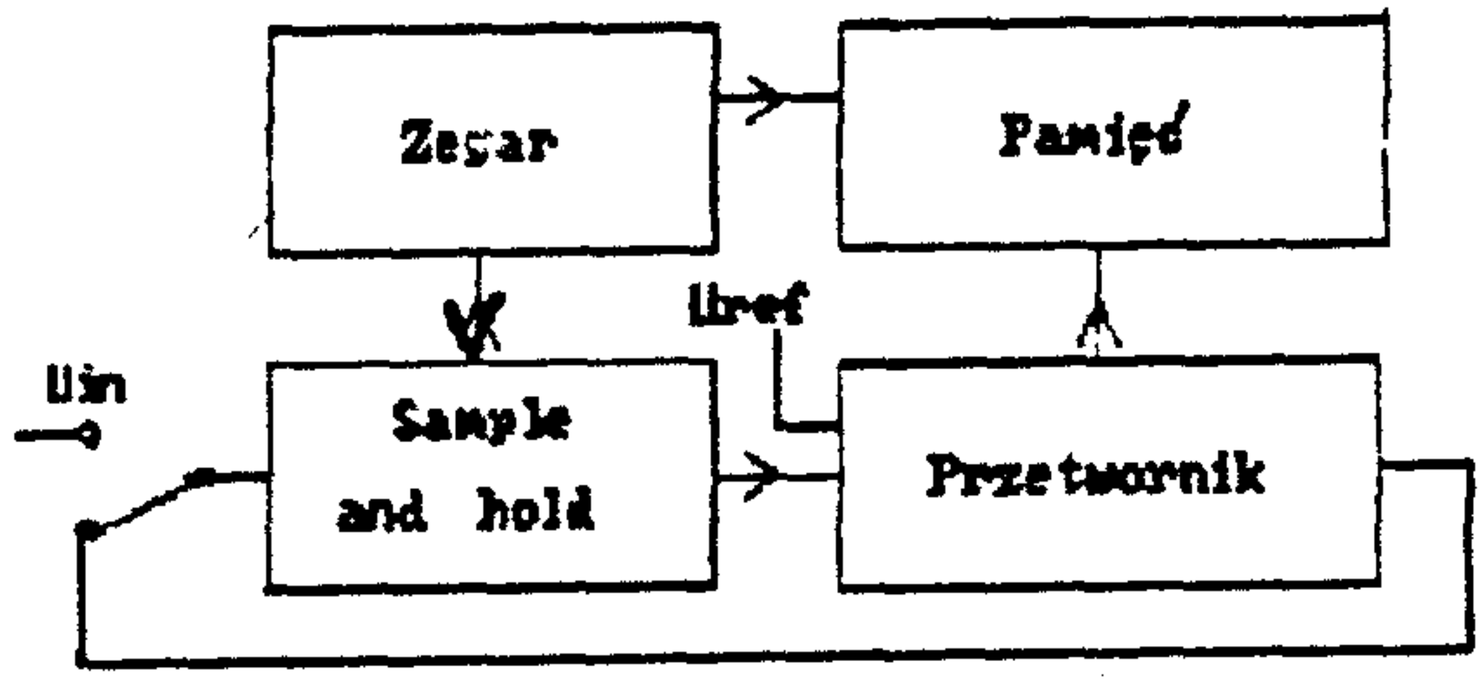
Przedstawiony układ daje na wyjściu sygnał, który po podaniu na wejście następnego układu da kolejny bit informacyjny. Jeśli zatem połączymy powyższe układy szeregowo, to na ich wyjściach cyfrowych uzyskamy kolejne bity. Układ kaskadowego połączenia podstawowych komórek przedstawiono na rys. 2.



Rys.2 Układ połączenia bloków dla propagacyjnego przetwarzania sygnału analogowego

Przy połączeniu bloków jak w układzie na rys.2 można komparator kompensujący wykorzystać dla wszystkich bloków, przez co można zmniejszyć ilość elementów w układzie.

Dalsze uproszczenie układu możliwe jest z wykorzystaniem układu typu "sample & hold". Wówczas możemy zastosować rozwiązanie jak na rys.3.

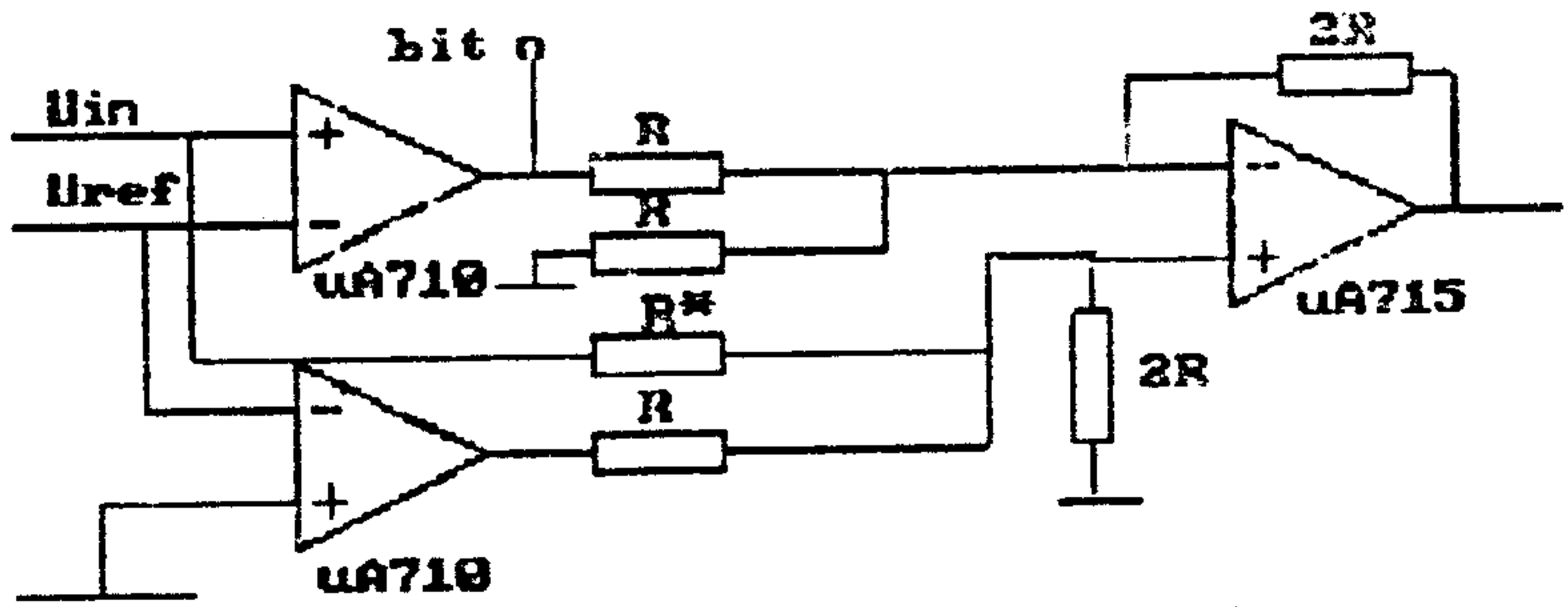


Rys. 3 Przetwornik propagacyjny z układem "sample and hold"

W układzie z rys.2 przekazywane równolegle będą zespoły n bitów, zaś w układzie z rys.3 korzystamy z transmisji szeregowej. Klucz występujący na rys.3 można wykonać jako tranzystor polowy FET sterowany impulsami zegarowymi o częstotliwości n razy mniejszej od tej, która jest podawana na układ "sample and hold" znajdujący się w pętli sprzężenia zwrotnego i o współczynniku wypełnienia 1/n; gdzie n jest liczbą bitów odbieranych z przetwornika.

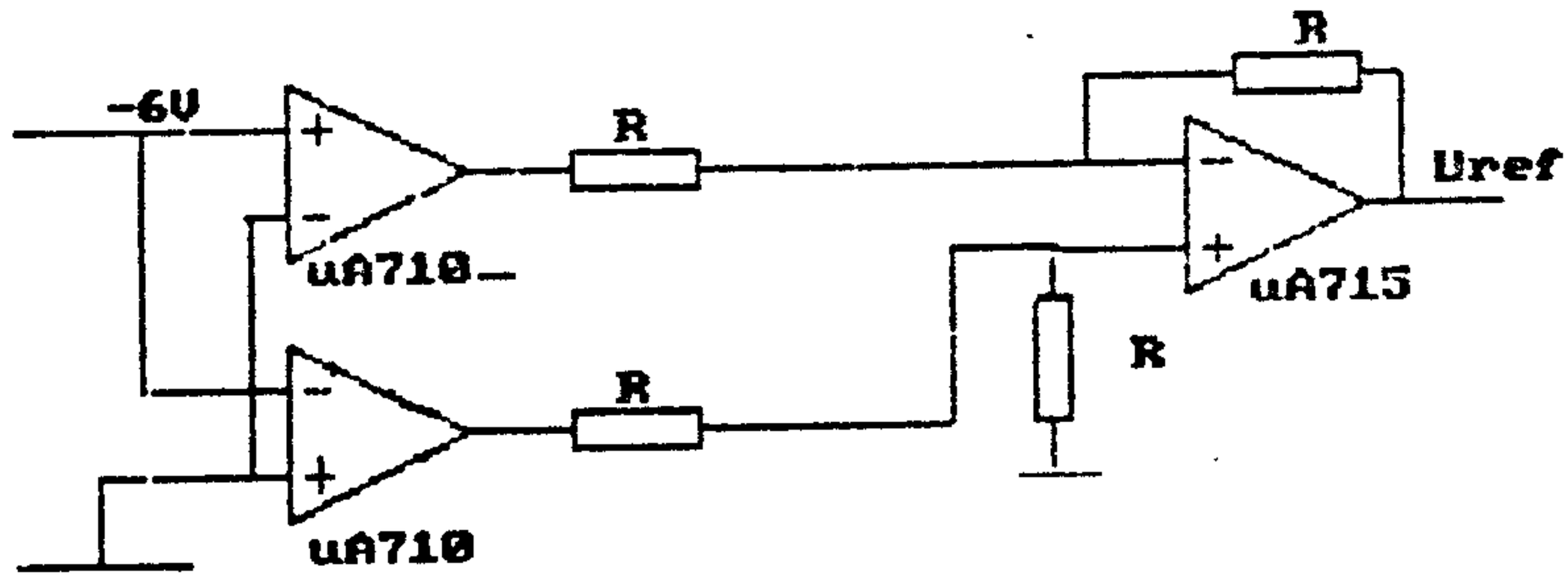
3. Rozwiązanie układowe podstawowej komórki

W rozwiązaniu układowym do przełączania wykorzystano poziomy wyjściowe komparatora. Ponieważ poziomowi niskiemu nie odpowiada napięcie równe 0V, lecz pewna wartość ujemna, więc po to by móc użyć do realizacji funkcji $2 \cdot U_I$ oraz $2(U_I - U_{REF})$ jednego układu sumatora, zastosowano dodatkowo jeszcze jeden komparator, który stale ma na wyjściu stan niski. W związku z tym napięcie referencyjne będzie różnicą napięć wyjściowych komparatora w stanie wysokim i niskim. Dla komparatora µA710 wynosi ona około 3,7 V. Układ elektryczny elementu koniecznego dla uzyskania 1 bitu przedstawiono na rys. 4.



Rys. 4.Schemat elektryczny bloku przetwornika

Schemat źródła U_{REF} podano na rys. 5. Jest to układ odejmujący napięcie wyjścia komparatora w stanie wysokim od napięcia w stanie niskim.



Rys.5 Źródło napięcia odniesienia

Istotne jest, aby wzmacniacz operacyjny i komparatory użyte w źródle napięcia odniesienia były takie same jak użyte w bloku przetwornika.

O szybkości działania układu będą decydowały czasy odpowiedzi użytych komparatorów i wzmacniaczy operacyjnych. Całkowity czas potrzebny do uzyskania 1 bitu jest sumą czasu prztwarzania komparatora i czasu odpowiedzi wzmacniacza na uskok napięcia wejściowego. W zależności od zastosowanych układów możemy uzyskać czasy od około 23 ns do 35 µs na 1 bit.

Przy wykorzystaniu produkowanych w kraju układów (UL7710 i UL7741) można uzyskać czas przetwarzania 1 bitu nie większy niż 35 µs. Jeśli przykładowo zastosujemy układ przetwarzający 8 bitów, to maksymalny czas przetwarzania wynosi około 280 µs. Jest on zdeterminowany szybkością narastania napięcia na wyjściu wzmacniacza operacyjnego. Na podstawie twierdzenia o próbkowaniu można stwierdzić, że układ może prztwarzać sygnały analogowe o maxymalnej częstotliwości w widmie nie przekraczającej 1,8 kHz. Zastosowanie polskiego komparatora i wzmacniacza µA715 pozwala zwiększyć tę częstotliwość do okolo 900 kHz. Przy zastosowaniu szybszych wzmacniaczy i komparatorów, na przykład MC1651 i µA715 uzyska się przetwornik dla maksymalnej częstotliwości sygnału 1,5MHz. Powyższe wyniki są słuszne dla połączenia kaskadowego (rys.3). Dla rozwiązania z układem "sample and hold" w pętli sprzężenia zwrrotnego czas przetwarzania jest nieco większy. powyższego układu.

4. Analiza dokładności

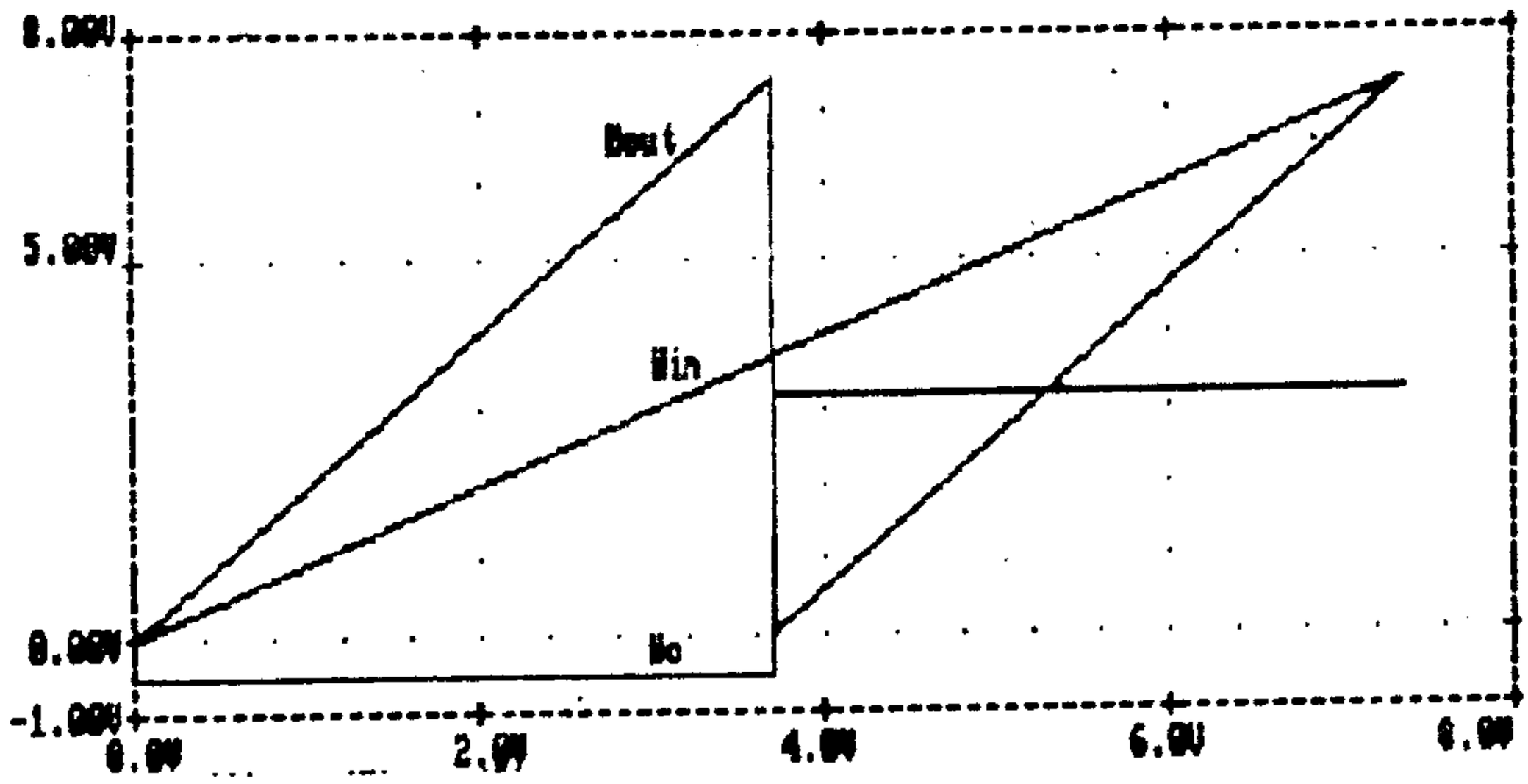
Jeśli chodzi o dokładność, to decydują o niej 4 parametry: napięcie niezrównoważenia wzmacniacza operacyjnego ,stabilność napięcia wyjściowego i napięcie niezrównoważenia komparatora oraz tolerancje użytych rezystorów. Jeśli wykorzystamy polskie układy scalone, to błędy spowodowane napięciem niezrównoważenia wyniosą 2mV (UL7710) 6mV (UL7741); całkowity błąd wyniesie więc około 8mV. Daje to odchyłkę względną rzędu 0.1%, co pozwala na uzyskanie rozdzielczości lepszej niż 8 bitów. Należy podkreślić, że o błędzie decyduje w zasadzie tylko pierwszy człon, gdyż wagi błędu wnoszonego przez następne stopnie maleją 2 krotnie w kierunku propagacji sygnału. Przy zastosowaniu komparatora LM106(206) i wzmacniacza OP-07E można, przy tej samej tolerancji rezystorów, uzyskać rozdzielczość ponad 10 bitów.

Wraz z temperaturą będą się zmieniać poziomy napięć wyjściowych komparatora, ale tak samo będzie się zmieniać napięcie odniesienia, ponieważ komparatory w przetworniku i w źródle napięcia referencyjnego są identyczne. przetwarzanie będzie prawidłowe, zmieniać się może co najwyżej wartość LSB.

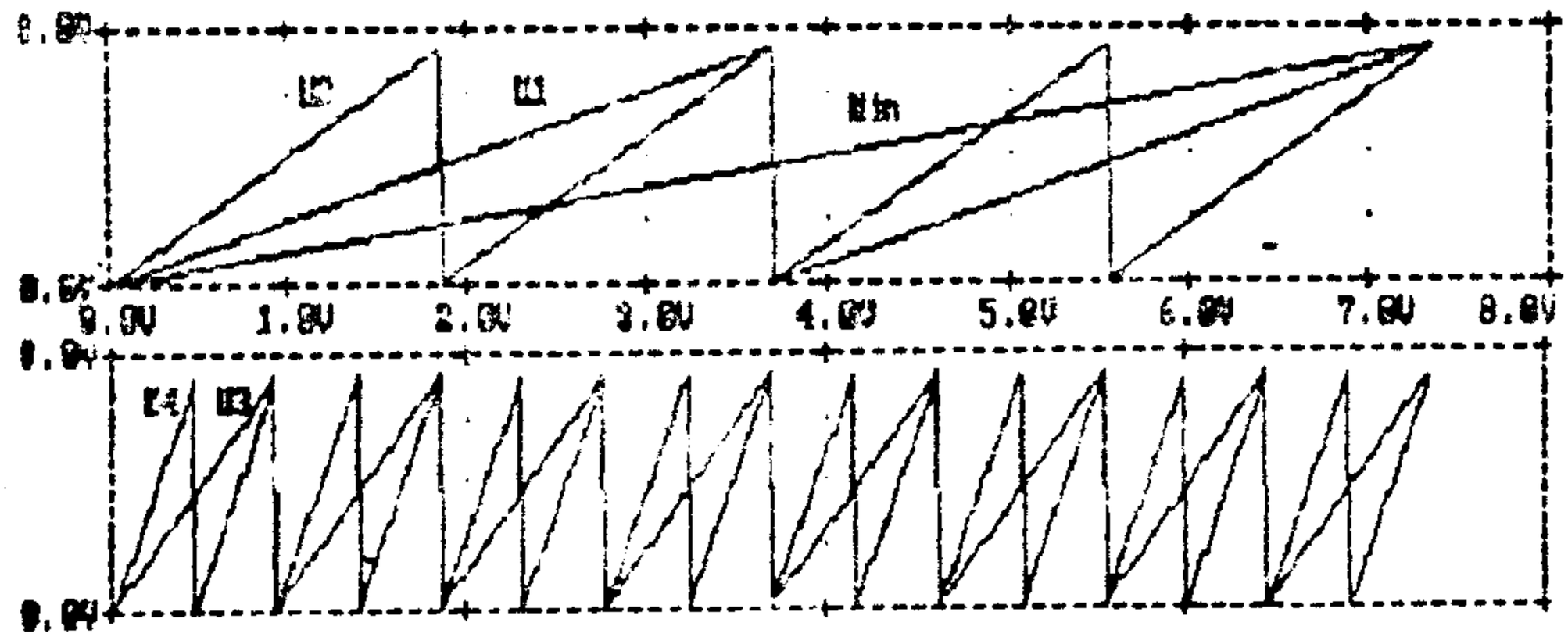
5. Wyniki badań

Przeprowadzono symulację układu przy użyciu programu PSPICE. W analizie wykorzystano makromodele komparatorów i wzmacniaczy operacyjnych [1]. Wyniki analizy przedstawione są na załączonych wykresach. Analiza ta wykazuje, że rzeczywisty układ będzie szybszy niż wskazują rozważania teoretyczne, gdyż początek przetwarzania sygnału przez drugi blok zaczyna się znacznie wcześniej niż kończy się stan przejściowy w układzie poprzedzającym. Obrazuje to rysunek 8.Wykazuje on także, że czas przejścia do stanu niskiego jest krótszy niż czas przejścia do stanu wysokiego. Zatem czas przetwarzania osiągnie wartość około 1/2 czasu przewidywanego. Sprawdzono także rozdzielczość przetwornika. Zaobserwowano, że przy małej różnicy między napięciami na wejściu komparatora, jego napięcie wyjściowe nie jest stałe. Do wartości 3,69V jest to wielkość stała. Przy 3,695V różnica wynosi 10mV, a przy 3,698V już 40mV. Zatem należy przyjąć, że zbadany układ może rozróżnic 8 bitów z błędem nie przekraczającym 0.5 LSB,gdy napięcia na wejściach różnią się o mniej niż 5mV.W najgorszym przypadku uzyskamy dokładność 0.5% .

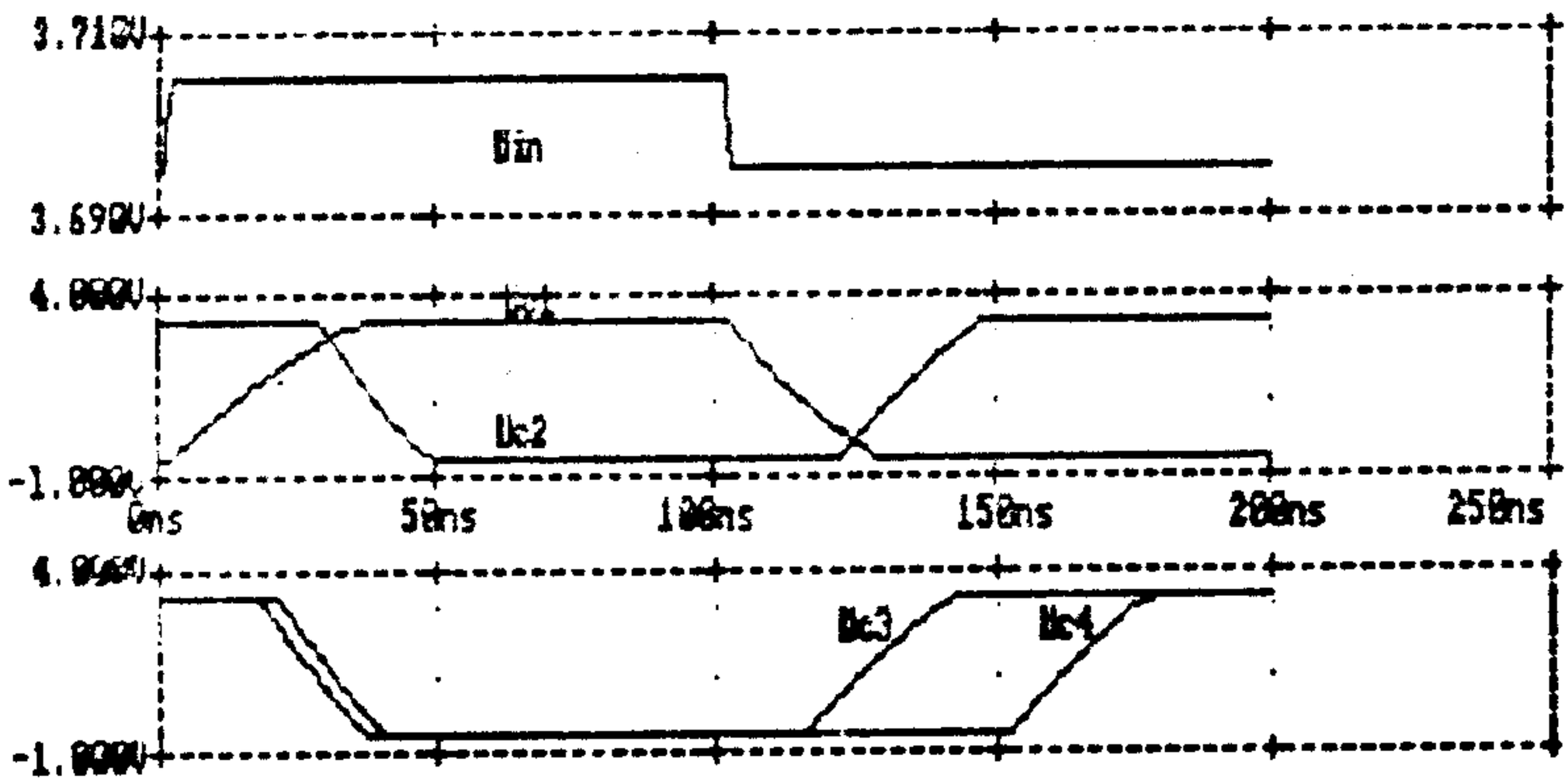
Dla zabezpieczenia układu przed błędami wynikającymi z niezerowej rezystancji wyjściowej układu "sample & hold", należy dobrać wartość rezystora R^* (rys.4), aby suma rezystancji wyjściowej układu "sample and hold" i R^* dała wartość jednostkową przyjętą w układzie.



Rys.6. Charakterystyka przejściowa pojedynczego bloku



Rys.7. Napięcie na wyjściach bloków w funkcji napięcia wejściowego



Rysunek 8. Napiecie na wejsciu przetwornika i stan jego wyjsc cyfrowych

Rysunek 6. przedstawia charakterystykę statyczną układu. Można zauważyć, że przy napięciu odniesienia Uref=3,7V, napięcie wejściowe Ui=3,7V powoduje zmianę stanu na wyjściu komparatora i układ daje na wyjściu bloku napięcie 2(Ui-Uref). Na rysunku 7. przedstawiono napięcia wyjściowe bloków w zależności od poziomu napięcia wejściowego. Można zauważyć, że każdy kolejny blok zmienia realizowane funkcje dwa razy częściej niż jego poprzednik.

6. Podsumowanie

Należy zauważyć że zaproponowany układ używa małej liczby elementów wymaga tylko dwóch wartości rezystancji w układzie, które są zbliżone do siebie, uzyskuje niezłą rozdzielczość, większość elementów jest produkowana w kraju, czas przetwarzania jest stosunkowo krótki. W układzie nie jest istotna nominalna wartość rezystancji, lecz ich stosunek.

7. Literatura

[1] Getreu, Hadiwidjaja, Brinch: "An Integrated-Circuit Comparator Matromodel", IEEE Journal of Solid State Circuits vol.SC-11, nr. 6, 1976 pp. 826-833.

[2] P.R.Gray: "Analysis and design analog integrated circuits", John Wiley & Sons, New York 1984.

[3] A.B.Grebne: "Bipolar and MOS analog integrated circuit design", John Wiley & Sons, New York 1984.