Struktury bipolarne w układach VLSI

Prof. dr hab. BOGDAN M. WILAMOWSKI
Instytut Technologii Elektronicznej
Politechniki Gdańskiej

Dążenie do zmniejszenia czasu przełączania tranzystorów inspiruje konstruktorów układów scalonych do poszukiwania coraz to nowych rozwiązań. Rozwiązania te polegają głównie na miniaturyzacji tranzystorów jak również na wykorzystaniu różnych, nowych mechanizmów ich działania. Innym sposobem jest zmniejszenie amplitudy logicznej i napięć zasilania. Zwykle czas przełączania jest tym krótszy, im większy jest pobór prądu ze źródła zasilania, gdyż większy prąd pozwala na szybsze przeładowanie pojemności pasożytniczych układu. Ilość wydzielanego ciepła w układzie ogranicza więc często szybkość przełączania układu.

Porównanie układów MOS i bipolarnych

Rozwiązanie problemu redukcji czasu przełączania tranzystora MOS można sprowadzić do odpowiedniego zmniejszania jego wymiarów. Ograniczeniem w tym przypadku jest zarówno poziom technologii, jak również niektóre mechanizmy fizyczne zachodzące w tranzystorze. I tak np. ze względu na tunelowanie gorących nośników minimalna grubość tlenku musi być większa niż 200 nm. Z kolei przy długościach kanału poniżej 1 μm istotnym ograniczeniem jest efekt przebicia skrośnego.

W porównaniu z tranzystorami MOS tranzystory bipolarne mają:
— krótszy czas przełączania,
— mniejszy poziom szumów,
— większą stabilność parametrów,
— większą wydajność prądową.

Główne ograniczenia szerokiego zastosowania tranzystorów bipolarnych w układach bardzo dużej skali integracji wynikają z:
— dużej powierzchni zajmowanej przez strukturę na płytce podłożowej (co najmniej 4-krotnie większej niż w technologii MOS),
— małej efektywności pracy tranzystora bipolarnego w zakresie mikromocowym.

Zalety tranzystora bipolarnego wykorzystywane są najlepiej w przypadku, gdy wielkości pojemności złączowych są porównywalne z wielkością pojemności dyfuzyjnych. Warunek ten jest spełniony jedynie dla bardzo dużych gęstości prądów. Drugim czynnikiem ograniczającym stosowanie tranzystorów bipolarnych w zakresie mikromocowym jest brak odpowiednich obciążeń. Przy określonych napięciach zasilania i coraz mniejszych prądach tranzystorów potrzebne są obciążenia o wartości kilkudziesięciu kiloomów, których szybkość działania jest bardzo ograniczona.

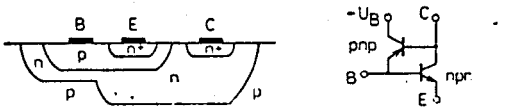
Ograniczenia tranzystora bipolarnego

Redukcja wymiarów tranzystora bipolarnego ograniczona jest przede wszystkim grubością emitera. Przy zastosowaniu warstwy aluminium grubość emitera musi być większa niż 2 μm, ze względu na możliwość zbyt głębokiego wtopienia się aluminium, co jest szczególnie groźne, jeśli emiter wytworzony został za pomocą dyfuzji fosforu. W przypadku, gdy nanoszona warstwa aluminium zawierać będzie krzem w ilości około 1%, to grubość emitera może być zredukowana do 1 μm. Emiter wykonany przez domieszkowanie arsenem z dodatkową warstwą buforującą z platyny lub trudnotopliwego metalu (pomiędzy aluminium i krzemem) może mieć grubość zredukowaną nawet do 0,1 μm.

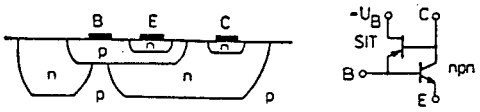
Ostatnio coraz powszechniej stosuje się emitery z polikrzemu. Mają one szereg zalet. Cienka warstwa tlenku krzemu pomiędzy monokryształem a polikrzemem oraz bariery potencjału w samym polikrzemie ograniczają efektywną ruchliwość dziur w emiterze, co prowadzi do dużej sprawności wstrzykiwania emitera, znacznie większej niż w tranzystorach konwencjonalnych. Możliwe jest więc silniejsze domieszkowanie bazy i zmniejszenie jej rezystancji szeregowej. Dodatkową zaletą tej technologii jest możliwość uzyskiwania cieńszych warstw bazy i emitera, bez obawy zwarć metalizacji emitera z kolektorem. Technologia ta dopuszcza również szersze niż dotychczas stosowanie procesów technologicznych, prowadzących do samocentrowania się niektórych obszarów struktur. Wymienione zalety wskazują na możliwość wytwarzania tranzystorów o większej niż dotychczas szybkości działania.

Istotnym czynnikiem ograniczającym szybkość działania tranzystora bipolarnego jest czas magazynowania nośników mniejszościowych w słabo domieszkowanym obszarze kolektora. Redukcję tego czasu osiąga się przez stosowanie różnych procesów technologicznych. Wprowadzenie dodatkowych centrów rekombinacyjnych przez domieszkowanie złotem prowadzi do znacznego zmniejszenia czasu życia, a tym samym czasu magazynowania nośników. Metoda ta stosowana powszechnie przy wytwarzaniu układów typu TTL ma jednak tę istotną wadę, że jednocześnie ze zmniejszeniem czasu życia nośników następuje znaczna degeneracja innych parametrów tranzystorów.

Innym rozwiązaniem jest układ z diodą Schottky'ego zabezpieczający tranzystor przed wejściem w głębokie nasycenie, a tym samym zapobiegający wstrzykiwaniu nośników mniejszościowych (dziur) do obszaru kolektora. Rozwiązanie to stosowane jest w układach wykańczanych technologią TTLS i STL. Natomiast w rodzinie bramek logicznych ECL, CML i EFL stosując układowe zabezpieczenia nie dopuszcza się do nasycania tranzystorów. W układach wykonanych w technologii I^2L zmniejszanie czasu magazynowania następuje poprzez redukcję grubości warstwy epitaksjalnej. Innym niedawno rozważanym sposobem jest zabezpieczenie przed nasyceniem poprzez wytworzenie dodatkowych tranzystorów typu *npn* lub wykonanych technologią SIT [8, 20, 21, 22] (rys. 1, 2). Sposób ten wykorzystywany jest w strukturach wykonanych technologiami ISL, 3-d, CI i 4-d.



Rys. 1. Zabezpieczenie tranzystora *npn* przed głębokim nasyceniem z wykorzystaniem szybkiego tranzystora *pnp*

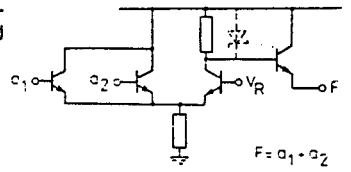


Rys. 2. Zabezpieczenie tranzystora *npn* przed głębokim nasyceniem z wykorzystaniem tranzystora wykonanego technologią SIT

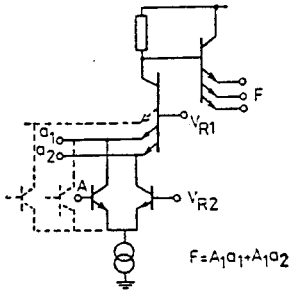
Specjalne rozwiązania konstrukcyjne

Biorąc pod uwagę fizykę zjawisk zachodzących w tranzystorze bipolarnym minimalna amplituda logiczna musi być większa od około 4 kT, co odpowiada wartości 100 mV, zaś napięcie zasilania musi być większe od spadku napięcia na krzemowym złączu *p-n*, to znaczy od 0,6 V.

Cyfrowe układy bipolarne stosowane są zawsze tam, gdzie szybkość działania ma decydujące znaczenie. Układy te charakteryzują się jednak zwykle większym poborem mocy i mniejszą gęstością upakowania. Najszybsze układy cyfrowe wykonane są



Rys. 3. Schemat bramki logicznej wykonanej technologią ECL

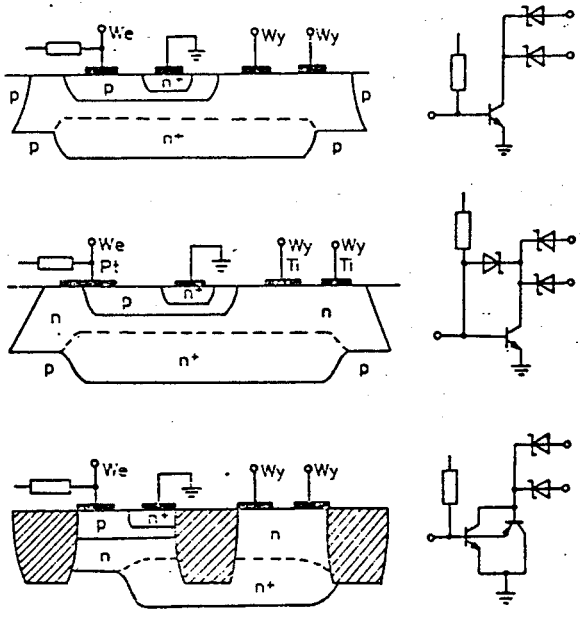


Rys. 4. Schemat bramki logicznej wykonanej technologią EFL

techniką ECL (rys. 3). Pracują one przy bardzo dużych mocach zasilania, jak również zajmują dużą powierzchnię na płytce podłożowej. Rozwiązaniem tego są wprowadzone ostatnio układy EFL charakteryzujące się możliwością realizacji złożonych funkcji logicznych w niewielkim układzie (rys. 4).

W przypadku układów małej i średniej skali integracji dominujące znaczenie stale mają układy typu TTL, a szczególnie ich zmodyfikowana wersja z diodami Schottky'ego — STTL.

Zachodzi często konieczność wytwarzania scalonych układów cyfrowych o większej niż osiągalna w technologii MOS szybkość działania i stosunkowo niewielkim poborze mocy. W tym przypadku wytwarza się układy przy wykorzystaniu jednej z modyfikacji układów typu I²L (rys. 5) [15]. Są to w stosunku do pierwowzoru modyfikacje dość znaczne,

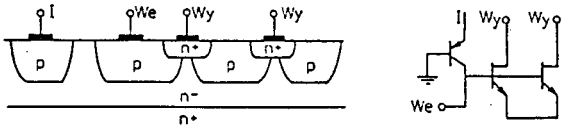


Rys. 5. Modyfikacje struktury układów Schottky'ego I²L: a) struktura SCTL, b) struktura STL, c) struktura ISL

wykorzystuje się bowiem normalną polaryzację tranzystora *npn* oraz polaryzację bazy poprzez rezystor. Wersja SCTL (rys. 5a) ma raczej historyczne znaczenie, bowiem nie ma tutaj mechanizmu zapobiegającego przed wstrzykiwaniem nośników mniejszościowych (w tym przypadku dziur) do obszaru kolektora. W wersji STL (rys. 5b) uzyskuje się mechanizm zabezpieczeń poprzez zastosowanie dwóch typów diod Schottky'ego o różnych potencjałach kontaktowych. Technika ta wymaga złożonego procesu technologicznego. Innym rozwiązaniem ISL (rys. 5c) jest zmniejszenie grubości warstwy epitaksjalnej (bazy tranzystora zabezpieczającego *pnp*). W układach ISL konstrukcje tranzystorów *npn* są najbardziej zbliżone do optymalnych.

Ze względu na minimalizację energii przełączania, najlepszym rozwiązaniem wydaje się rodzina SITL (rys. 6) [9, 10]. Przy wykorzystaniu typowej fotolitografii o rozmiarze charakterystycznym 5 μm możliwe do uzyskania były energie przełączania rzędu 0,002 pJ. Szersze zastosowanie tego rozwiązania ograniczone zostało trudnościami procesu technologicznego. Nie bez znaczenia był fakt, że w tym zakresie zastosowań istotną konkurencję stanowią układy CMOS.

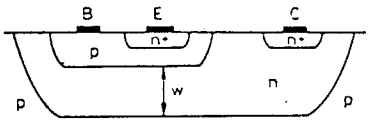
Struktury tranzystorów bipolarnych wykonywanych w technologii potrójnej dyfuzji 3-d znane są już bardzo dawno, a ich zasadniczą wadą ograniczającą szerokie ich stosowanie jest stosunkowo duża rezystancja szeregowa kolektora. Duża wartość tej rezystancji z jednej strony powoduje znaczny spadek napięcia kolektor—emiter przy nasyceniu tranzystora, a ponadto ogranicza właściwości częstotliwościowe tranzystora. Wada ta wraz ze zmniejszaniem wymiarów tranzystora staje się coraz mniej istotna. Miniaturyzacja elementu prowadzi do zmniejszenia rezystancji szeregowej kolektora, malenia pojemności pasożytniczych oraz zmniejszenia prądu tranzystora, co



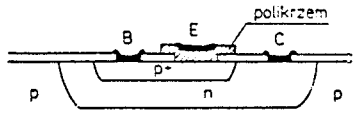
Rys. 6. Układy wykonane w technologii SITL o bardzo małej energii przełączania

w konsekwencji daje małe spadki napięć na rezystancjach rozproszonych. Przekrój tranzystora bipolarnego wykonanego technologią 3-d ilustruje rys. 7. Istotną trudność stanowi tu odpowiednie dobranie głębokości dyfuzji warstwy kolektora [23, 25]. Płytka dyfuzja tej warstwy prowadzi do dużej rezystancji szeregowej kolektora, zaś głęboka dyfuzja zwiększa czas magazynowania nośników w kolektorze oraz podraża koszty procesu technologicznego. W Ośrodku Badawczo-Rozwojowym Elektronicznych Układów Specjalistycznych w Toruniu opracowane zostały podstawowe struktury bramek logicznych z tranzystorami wykonanymi technologią 3-d. Współczynniki wzmocnienia β tranzystorów wynoszą około kilkudziesięciu, a czasy opóźnień bramek logicznych są rzędu 6÷7 ns. Wynik ten należy uznać za bardzo obiecujący mając na względzie fakt, że struktury wytworzone zostały przy zachowaniu 7 μm standardu fotolitografii, zaś posiadane urządzenia technologiczne uniemożliwiły zmniejszenie grubości warstwy emitera poniżej 2 μm.

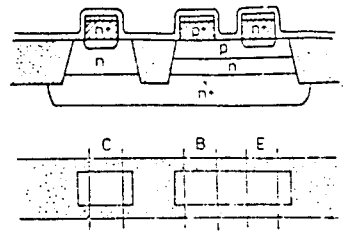
Układy wykonane technologią 3-d stosowane są głównie do celów wojskowych i brak jest szerszych informacji na ten temat w dostępnej literaturze światowej. Układy te charakteryzują się większą niż układy MOS szybkością działania, przy stosunkowo niedużym poborze mocy (większym niż w przypadku MOS, ale mniejszym niż zapewniają technologie TTL, TTLS czy ECL). Układy w technologii 3-d charakteryzują się znaczną gęstością upakowania, większą niż w przypadku TTLS i ECL, choć mniejszą niż uzyskana technologią I²L. Od układów wykonanych technologią I²L są szybsze, porównywalne z układami wykonanymi technolgią TTLS, a wolniejsze od wykonanych technologią ECL. W technologii 3-d możliwe jest wytwarzanie układów VLSI. Przykładowo firma TRW-Kalifornia USA opracowała w techno-

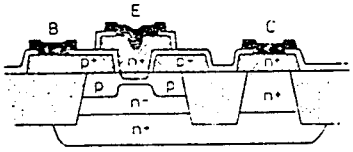


Rys. 7. Przekrój struktury tranzystora wykonanego technologią 3-d



Rys. 8. Przekrój tranzystora wykonanego w technologii 2-d z emiterem z polikrzemu





Rys. 9. Struktura tranzystora z wykonanymi z polikrzemu emiterem i doprowadzeniem bazy

Rys. 10. Przekrój tranzystora wykonanego w technologii Aspect z wykorzystaniem polikrzemu i krzemku metali

logii 3-d superchip zawierający około 10 milionów tranzystorów. Powstało szereg modyfikacji tej technologii, wymienić tu należy technologie 4-d [22], CI [4], lub 2-d z heterozłączowym emiterem z polikrzemu.

Konstrukcja tranzystorów bipolarnych w układach dużej skali integracji rozwija się w kierunku zmniejszenia powierzchni zajmowanej przez strukturę. W tym celu wprowadza się nowe techniki umożliwiające samocentrowanie kolejnych obszarów. W najnowszych rozwiązaniach tranzystorów bipolarnych zarówno doprowadzenia baz, jak i emiter wytwarzane są z polikrzemu [1, 2]. Przekrój takiej struktury ilustruje rys. 9. Przy wykorzystaniu fotolitografii z rozmiarem charakterystycznym 2 μm tranzystory tego typu charakteryzują się częstotliwością graniczną rzędu 11 GHz, a wykonane bramki mają opóźnienie rzędu 100 ps [3]. Przewiduje się, że w najbliższym czasie po zmniejszeniu minimalnych wymiarów struktury do 1 μm w technologii MOSAIC IV [3] uzyska się opóźnienie rzędu 50 ps na bramkę. Dalszy postęp w zwiększeniu gęstości upakowania scalonych układów bipolarnych można uzyskać stosując proces zwany Aspect, w którym warstwy polikrzemu typu p dla baz oraz polikrzemu typu n dla emiterów pokrywane są krzemkami metali (rys. 10) [13]. W ten sposób nie tylko zwiększa się przewodność tych warstw, ale także możliwe staje się ich bezpośrednie połączenie bez obawy o nieliniowości kontaktów.

Obciążenia w scalonych układach bipolarnych

Zmniejszanie powierzchni tranzystorów prowadzi automatycznie do zmniejszenia poziomu prądów, a tym samym wymagane są coraz to większe wartości rezystorów obciążających. Jedną z najpoważniejszych niedogodności w przypadku układów bipolarnych jest konieczność stosowania jako obciążenia rezystorów dyfuzyjnych. Jest to jedna z zasadniczych przyczyn, dla których układy bipolarne „przegrywają" z układami wykonanymi technologią MOS. Jak już wcześniej wspomniano, tranzystory bipolarne charakteryzują się większym wzmocnieniem i większą szybkością działania. Próby zmniejszenia poboru mocy do poziomu układów typu MOS kończą się jednak niepowodzeniem, bo górna częstotliwość pracy rezystora dyfuzyjnego rośnie bardzo silnie ze wzrostem jego wartości. Ponadto ze wzrostem wartości rezystora rośnie wielkość zajmowanej przez niego powierzchni. Jednym z rozwiązań jest stosowanie rezystorów z polikrzemu. Są to jednak elementy z natury nieliniowe, a ponadto stosunkowo trudno jest kontrolować wartość rezystancji słabo domieszkowanych warstw polikrystalicznych.

Innym rozwiązaniem tego problemu, to znaczy uzyskania znacznych spadków napięcia na niewielkiej powierzchni, jest wykorzystanie przepływu nośników ograniczonych ładunkiem przestrzennym [7, 20, 22]. W przyrządach tego typu w przeciwieństwie do rezystorów klasycznych nie jest spełniony warunek neutralności elektrycznej. Stosunkowo łatwe do uzyskania są rezystancje rzędu kilkudziesięciu kiloomów na powierzchni kilkunastu mikrometrów kwadratowych [24]. Obciążenia tego typu charakteryzują się znikomymi pojemnościami pasożytniczymi oraz mają bardzo zbliżone do liniowych charakterystyki prądowo-napięciowe.

W zakresie słabych pól elektrycznych prędkość nośników proporcjonalna jest do wartości pola elektrycznego według zależności $v(x) = \mu E(x)$. Przy tym założeniu rozwiązując równania transportu otrzymać można zależność na prąd kontrolowany ładunkiem przestrzennym w postaci:

$$I = 9/8\, U^2 \mu \varepsilon_{si} \varepsilon_0 A/L^3 \tag{1}$$

gdzie:
L — długość kanału,
A — efektywna powierzchnia przekroju,
μ — ruchliwość nośników,
ε_{si} — stała dielektryczna krzemu,
x — współrzędna.

W przypadku silnych pól elektrycznych prędkość nośników jest stała i równa prędkości nasycenia, która dla krzemu równa się w przybliżeniu $v_s = 1 \cdot 10^7$ cm/s. Wówczas prąd przyrządu jest proporcjonalny do napięcia:

$$I = 2U\varepsilon_{si}\varepsilon_0 v_s A/L^2 \tag{2}$$

W rzeczywistych przyrządach charakterystyka $I = f(U)$ określana jest zależnością pośrednią.

Tranzystory wykorzystujące inne mechanizmy działania

Oprócz ciągłego udoskonalania technologii i tworzenia coraz to nowych rozwiązań układowych, zasadniczą sprawą dla dalszego postępu w konstrukcji układów scalonych jest wykorzystywanie przyrządów o innych niż dotychczas mechanizmach działania.

Z wyjątkiem tranzystorów JFET i MOS o konstrukcji z długim kanałem, we wszystkich innych przyrządach wzmacniających przepływ prądu kontrolowany jest wysokością bariery potencjału. Mechanizm ten również w coraz większym stopniu dotyczy tranzystorów MOS, gdzie przy ich miniaturyzacji większe znaczenie zaczyna mieć tak zwany podprogowy przepływ prądu.

Gęstość prądu elektronowego przy istnieniu zjawisk unoszenia nośników w polu elektrycznym oraz zjawisk dyfuzji spowodowanych gradientem koncentracji nośników opisana jest zależnością:

$$J_n = -qn(x)\mu_n \frac{dU(x)}{dx} + qD_n \frac{dn(x)}{dx} \tag{3}$$

Po pomnożeniu obu stron zależności (3) przez $\exp[-U(x)/U_T]$, przeprowadzeniu operacji całkowania w obszarze od x_1 do x_2 i skorzystaniu z zależności $D_n = \mu_n U_T$ oraz $U_T = kT/q$ otrzymamy:

$$J_n = \frac{qD_n n(x_2)\exp[-U(x_2)/U_T] - n(x_1)\exp[-U(x_1)/U_T]}{\int_{x_1}^{x_2} \exp[-U(x)/U_T]\,dx} \tag{4}$$

Zależność powyższa określa prąd elektronów wstrzykiwanych poprzez barierę potencjału określoną rozkładem $U(x)$. W przypadku trójwymiarowym mamy zwykle do czynienia z kształtem bariery potencjału w postaci siodła. Przepływ prądu ponad taką barierą wyraża się zależnością [11, 12]:

$$I = qD_n N_S H \frac{y_0}{x_0} \exp\left(-\frac{\psi_0}{U_T}\right) \tag{5}$$

gdzie:
y_0/x_0 — stosunek określający kształt rozkładu potencjału (powierzchni siodłowej) w okolicy jego bariery,

H — łączna długość przyrządu (w kierunku osi z),
ψ_0 — wysokość bariery potencjału.

Z zależności powyższej widać wyraźnie, że prąd kontrolowany barierą potencjału jest eksponencjalną funkcją przyłożonego napięcia. Tranzystor bipolarny jest tylko jednym z elementów w tej klasie przyrządów. Innymi są tranzystory wykonane technologią SIT [8], „permeable transistor" oraz tranzystor z kontrolowanym przebiciem skrośnym [17]. Opracowane zostały również specjalne tranzystory MOS wykorzystujące ten mechanizm działania [18, 19].

Zwiększenie szybkości działania tranzystorów bipolarnych polega na zmniejszaniu grubości bazy. Metoda ta charakteryzuje się poważnym ograniczeniem na skutek wzrostu rezystancji szeregowej bazy wraz ze zmniejszaniem jej grubości. Jednym z kompromisowych rozwiązań jest wykonywanie bazy w postaci dobrze przewodzącej siatki, pomiędzy oczkami której wytwarzane są faktyczne bazy [16]. Skrajnym rozwiązaniem jest pozostawienie tych oczek siatki pustych, a indukowanie w nich bariery potencjału na skutek elektrostatycznego oddziaływania potencjału siatki. Koncepcja takiego tranzystora opracowana została jeszcze w 1976 roku [9, 14]. Analogiczne rozwiązanie tranzystorów z arsenku galu opracowane zostało w MIT Lincoln Laboratory w 1979 roku i nazwane „permeable transistor", co w polskim tłumaczeniu oznacza tranzystor z przenikaniem. W rozwiązaniu tym badacze z MIT poszli jeszcze dalej, bo siatka faktycznie została wykonana z metalu i zamiast złącz p-n wykorzystano złącza typu Schottky'ego. Obecnie w Bell Laboratories trwają daleko zaawansowane próby nad tranzystorem podobnego typu wykonanym w krzemie, którego baza wykonana ma być z krzemków metali takich jak $NiSi_2$ lub $CoSi_2$. Materiały te bowiem mają bardzo zbliżoną do krzemu strukturę krystalograficzną i możliwe jest osadzanie na nich krzemowych warstw epitaksjalnych.

Miniaturyzacja przyrządów półprzewodnikowych i pogoń za zwiększeniem szybkości działania powodują, że coraz poważniej rozważa się struktury z transportem balistycznym. Ten mechanizm transportu jest wykorzystywany w arsenku galu, gdzie dzięki transportowi balistycznemu możliwe jest blisko 10-krotne zwiększenie prędkości elektronów (do około 10^8 cm/s). Jest to możliwe przy spełnieniu dwóch warunków: wstępnego rozpędzenia elektronu w polu elektrycznym oraz skrócenia długości drogi, jaką ma przebyć. Czas przelotu staje się więc na tyle krótki, że prawdopodobieństwo kolizji jest bardzo małe. Zasadniczo opracowane zostały dwie różne konstrukcje tranzystora balistycznego przez konkurujące ze sobą ośrodki Watson Research Center firmy IBM [5] oraz Bell Laboratories firmy ATT [6]. W Bell Laboratories zasadniczo zmodyfikowano jedynie wcześniejszą konstrukcję tzw. tranzystora przenikającego. W strukturze tej dodano „wyrzutnie elektronów" wykonane z wykorzystaniem wbudowanego potencjału w heterozłączu AlGaAs—GaAs. Potencjał wbudowany o wartości 0,3÷0,35 V wytwarza w cienkiej warstwie przejściowej pole elektryczne rzędu kilku tysięcy woltów na centymetr umożliwiając w ten sposób nadanie znacznej prędkości początkowej elektronom wstrzykiwanym do bazy. Inna jeszcze ciekawsza koncepcję zaprezentowała firma IBM. Zarówno emiter, kolektor i baza wytworzone zostały z materiału typu n. Baza oddzielona została od emitera i kolektora barierami potencjału powstałymi w warstwach przejściowych AlGaAs również typu n. Grubość warstwy przejściowej baza—emiter AlGaAs jest dużo mniejsza (12 nm) i na skutek przyłożonego do bazy potencjału nośniki tunelują z emitera do bazy. Osiągając bazę stają się „gorącymi elektronami" o znacznej prędkości początkowej i transport przez bazę ma charakter balistyczny. Tranzystory z transportem balistycznym funkcjonują w temperaturach ciekłego azotu.

Znaczne wysiłki w zakresie konstrukcji super szybkich tranzystorów czynią również Japończycy. Ostatnio uruchomiony został w Japonii (pod kierownictwem Jun-ichi Nishizawy) rządowy program budowy przyrządów półprzewodnikowych o 100 do 1000 razy większej szybkości działania od dotychczas osiąganych.

LITERATURA

1. *B. C. Cole:* VLSI gives bipolar a second wind. Electronics, April 7, 1986, pp. 24—26.
2. *B. C. Cole:* Bipolar comes alive again as development speeds up. Electronics. September 4, 1986, pp. 100—101.
3. *B. C. Cole:* Motorola grabs lead in ECL density using MOSAIC III. Electronics, February 19, 1987, pp. 71—73.
4. *J. Gosh:* Revived transistor structure lower cost of bipolar VLSI. Electronics, July 24, 1986, pp. 29—30.
5. *J. R. Hayes, F. J. Levi, Wiegmann:* Injected-hot-electron transport in GaAS. Phys. Rev.. Lett., vol. 55, listopad 1985, pp. 2071—2073.
6. *M. Heiblum, M. I. Nathan, D. C. Thomas, C. M. Knoedler:* Direct obserwation of batalistic transport in GaAs. Phys. Rev. Lett., vol. 55, listopad 1985, pp. 2003.
7. *R. Mattson, B. Wilamowski:* Punch-through devices operating in space-charge-limited mode. IEEE International Workshop on the Physics of Semiconductor Devices, Delhi. grudzień 7—9, 1983.
8. *J. Nishizawa, T. Terasaki, J. Shibata:* Field effect transistor versus analog transistor (Static Induction Transistor). IEEE Trans. Elect. Dev., vol. ED-22, 1975, pp. 185—197.
9. *J. Nishizawa, B. Wilamowski:* Static induction logic — a simple structure with very low switching energy and very high packing density, International Conference on Solid State Devices, Tokio, 1976, pp. 53—54, Jour. Jap. Soc. Appl. Phys., vol. 16—1, 1977, pp. 158—162.
10. *J. Nishizawa, B. Wilamowski:* Integrated logic — state induction transistor logic. International Solid State Circuit Conference; Dig. Tech. Papers, Philadelphia. 1977, p. 222—223.
11. *P. Płotka, B. Wilamowski:* Interpretation of exponential type drain characteristics in SIT. Solid Stat Electron, vol. 23. 1980, pp. 693—694.
12. *P. Płotka, B. Wilamowski:* Teoria tranzystora polowego o charakterystykach triodowych w zakresie małych prądów. Archiwum Elektroniki, vol. 29, 1980, pp. 491—501.
13. *M. Vora:* Fairchild's radical process for building bipolar VLSI, Electronics, September 4, 1986, pp. 55—59.
14. *B. M. Wilamowski:* The new transistor structure and its aplication for microenergy logic. Bulletin de l'Academie Polonaise des Sciences, vol. 25, 1977, pp. 409—413.
15. *B. M. Wilamowski:* Konstrukcja i parametry układów typu I^2L. Rozprawy Elektroniczne, t. 26, 1980, ss. 17—26.
16. *B. M. Wilamowski, D. Lewandowski:* Lateral base transistor logic for IIL. IEEE International Workshop on the Physics of Semiconductor Devices, Delhi, Poster Papers, November 23—28, 1981. pp. 214—215.
17. *B. M. Wilamowski, R. C. Jaeger:* The lateral punch-through transistor. IEEE Elect. Dev. Lett.. vol. EDL-3, October, 1982, pp. 227—230.
18. *B. M .Wilamowski:* The punch-through transistor with MOS controlled gate. Phys. Stat. Sol (a), vol. (a) 79, 1983, pp. 631—637.
19. *B. M. Wilamowski, R. C. Jaeger, J. N. Fordemwalt:* Buried MOS transistor with punch-through. Sol. Stat. Electron, vol. 27, 1984, pp. 811—815.
20. *B. M. Wilamowski, R. H. Mattson, Z. J. Staszak, R. Craigin, A. Musallam. J. Fordemwalt:* The bipolar transistor structure and space-charge-limited loads for VLSI applications. Ann. Rep. of SRC Res. vol II — Microstructure Sciences, May 1985. pp. 145—149.
21. *B. M. Wilamowski, R. H. Mattson, Z. J. Staszak:* The SIT saturation protected bipolar transistor. IEEE Elect. Dev. Lett., vol. EDL-5. 1984, pp. 263—265.
22. *B. M. Wilamowski, R. H. Mattson, Z. J. Staszak, J. N. Fordemwalt, R. Craigin, A. Musallam:* Novel bipolar transistor structures and loads. SRC Topical Research Conference, June 15, 1984, San Diego.
23. *B. Wilamowski, Z. Wierzbicki, M. Korzeniowski, A. Sobkowiak, B. Wełniak:* Sposób realizacji miniaturowego tranzystora npn w technologii 3-d. VIII Konferencja ISIIM, Golub-Dobrzyń, wrzesień 4—6. 1985.
24. *B. M. Wilamowski, R. H. Mattson, Z. J. Staszak:* Punch-through space-charge-limited loads. IEEE Electronic Component Conference, Seattle, Washington, May 5—7, 1986.
25. *B. M. Wilamowski, M. Korzeniowski, A. Sobkowiak, B. Wełniak, W. Wielich, Z. Wierzbicki:* Triple diffused transistor for digital IC applications. Electron Technol., vol. 19, no. 3/4, 1986.