Bogdan Wilamowski
Instytut Technologii Elektronicznej Politechniki Gdańskiej

CP BP ROZWÓJ TECHNIK PRZEKAZYWANIA INFORMACJI

Narzędzia do komputerowo wspomaganego projektowania układów scalonych z wykorzystaniem komputerów osobistych*)

Na potrzeby przemysłu telekomunikacyjnego jest produkowana obecnie największa część układów scalonych w świecie. Wiele z nich jest układami specjalizowanymi wyłącznie dla telekomunikacji. Bardzo ważny staje się więc problem projektowania układów scalonych w przemyśle telekomunikacyjnym. Przy znacznej komplikacji tych układów nie jest możliwe ich projektowanie bez pomocy komputerów. Proces projektowania zaczyna się od stworzenia modeli podstawowych elementów, z których buduje się układy. Wytworzone modele opisuje się odpowiednimi funkcjami analitycznymi, tak aby była możliwa w miarę dokładna symulacja elementów na komputerze. Kolejnym etapem jest stworzenie biblioteki podstawowych podukładów cyfrowych, jak bramki, przerzutniki, rejestry itd. Wartości elementów i topologia każdego z tych podukładów jest optymalizowana przy wykorzystaniu odpowiednich programów analizy układowej i algorytmów optymalizacji. Mając bank elementów i podukładów, można przystąpić do projektowania większych układów scalonych. Analiza logiczna z wykorzystaniem komputerów jest już stosunkowo łatwa i szybka. W ten sposób możliwe jest sprawdzenie poprawności działania nawet bardzo dużych systemów cyfrowych.

Poziom przyrządów półprzewodnikowych

Na najniższym poziomie projektowania jest prowadzona symulacja procesów technologicznych i mechanizmów fizycznych w przyrządach półprzewodnikowych. Mogą to być programy uniwersalne dla każdego ze zjawisk lub też programy symulujące łącznie procesy technologiczne i zjawi-

*) Referat zgłoszony na Krajowe Sympozjum Telekomunikacji — KST'87.

ska fizyczne w przyrządzie. W tym drugim przypadku dotyczy to zwykle jednego wybranego przyrządu.

Symulacja procesów technologicznych nie jest jeszcze w pełni rozwiązana. Powstały opracowane w Stanfordzie programy SUPREM 1,2,3 [1] ale dotyczą one analizy jednowymiarowej. Najlepszym obecnie programem do praktycznego wykorzystania jest opracowany w Carnegie-Mellon program FABRICS [5]. Symuluje on zarówno procesy technologiczne, jak i przyrządy, umożliwiając symulację zarówno tranzystorów MOS, jak i tranzystorów bipolarnych. Innym programem ukierunkowanym wyłącznie na technologie bipolarne jest program BITRAS opracowany w Uniwersytecie Arizona [12]. Pozwala on na symulację nowych, nietypowych rozwiązań konstrukcyjnych (FABRICS nie ma takich możliwości).

Symulacja oraz analiza zjawisk zachodzących w przyrządach półprzewodnikowych są zagadnieniami bardzo trudnymi i praktycznie nie rozwiązanymi w ogólnym przypadku [9]. W jednym z wiodących ośrodków w Wiedniu został opracowany program MINIMOS [10] do symulacji tranzystorów MOS, a także ostatnio program BAMBI, umożliwiający symulację tranzystorów bipolarnych. Obydwa programy napisane są w języku FORTRAN i możliwe do wykorzystania tylko na bardzo dużych komputerach. Program GESIM w języku FORTRAN dla ogólnej analizy stanów przejściowych w jednowymiarowej strukturze półprzewodnikowej został również opracowany w Politechnice Gdańskiej [14]. Prowadzone są tam prace nad uniwersalnym dwuwymiarowym programem analizy struktur półprzewodnikowych. Symulacja przyrządów półprzewodnikowych i zachodzących w nich zjawisk staje się szczególnie ważną przy projektowaniu nowych struktur półprzewodnikowych. Ostatnio jednak szczególnego znaczenia nabiera numeryczna analiza struktur półprzewodnikowych, w celu identyfikacji parametrów modelu elektrycznego dla potrzeb projektowania układowego. Wynika to ze znacznej miniaturyzacji struktur i związanych z tym trudności z pomiarem niektórych parametrów.

Poziom podukładów i układów

Do najbardziej rozpowszechnionych programów analizy układów należą: SPICE2, ADVICE, ASTAP, ASPEC, NAP2, CIRCUIT2 itd. [6]. Najczęściej stosowanym programem na świecie jest program SPICE2 opracowany w Berkeley [4]. Swoją poularność zawdzięcza nie tylko stosunkowo dobrym i rozbudowanym modelom elementów, ale także temu, że jest on opracowany za pieniądze podatnika amerykańskiego i jako taki jest tam rozpowszechniany bezpłatnie. Nie gorszy pod względem użytych algorytmów jest program NAP2. Wbudowane tam modele tranzystorów są jednak stosunkowo proste, ale za to ma on unikalną możliwość tworzenia i dowolnego rozbudowywania przez użytkownika własnych modeli. Cechą charakterystyczną wszystkich typowych programów jest to, że wymagają one dużych komputerów i czasy obliczeń rosną bardzo szybko ze wzrostem wielkości układu.

W Politechnice Gdańskiej w ramach CPBP 2.16 opracowano modyfikacje programu NAP2 na komputer osobisty typu IBM-PC [7]. Wiele zalet tego programu i znaczna jego uniwersalność powoduje, że program ten staje się podstawowym narzędziem analizy układowej w kraju. Oczywiście powstają ostatnio coraz to nowe programy analizy układów pisane specjalnie na komputery osobiste, jak na przykład PCSPICE lub μCAP. Mają one jednak wiele ograniczeń, chociaż charakteryzują się znacznie wygodniejszymi i bardziej rozbudowanymi systemami wprowadzania i wyprowadzania danych z wykorzystaniem graficznych możliwości komputerów osobistych.

Komputerowa analiza układów ma zasadnicze znaczenie przy projektowaniu podstawowych komórek i podukładów. Wzrost złożoności układów scalonych czyni analizę coraz trudniejszą. Jedną z zasadniczych niedogodności jest to, że zwykle czasy obliczeń rosną znacznie szybciej niż wielkość analizowanego układu. Przykładowo przy wykorzystaniu technik macierzowych czas obliczeń jest proporcjonalny do N^3, gdzie N jest liczbą węzłów układu. Wykorzystując zaś fakt, że w praktycznych układach nie wszystkie węzły są ze sobą połączone, wykorzystuje się technikę macierzy rzadkich i wtedy czas obliczeń jest proporcjonalny do $N^{1,5} \div N^{1,7}$.

Najbardziej zaawansowane programy analizy układowej, takie jak SPICE2, ADVICE, NAP2, CIRCUIT2, wykorzystują właśnie algorytm macierzy rzadkich [6]. Wielkość analizowanego układu zależy od wielkości i szybkości stosowanego komputera. Najistotniejsza i najtrudniejsza jest analiza dynamicznych stanów przejściowych w układach elektronicznych. Z kolei właśnie analiza stanów przejściowych jest najpotrzebniejszą analizą przy projektowaniu szybko działających układów scalonych. Sposób analizy stanów przejściowych w zdecydowanej większości programów analizy układowej polega zawsze na tym, że dla każdego kroku czasowego przeprowadza się wielokrotnie linearyzację układu i rozwiązanie układu równań liniowych, znajdując w ten sposób wartości napięć dla następnej linearyzacji. W oparciu o wyżej opisany algorytm działają prawie wszystkie dostępne na rynku programy analizy układów elektronicznych. Ich wadą, w przypadku analizy stanów nie ustalonych, jest bardzo długi czas obliczeń. Wartym podkreślenia wyjątkiem jest opracowany w Berkeley algorytm zwany „waveform relaxation method" [3], który operuje nie tyle napięciami dla konkretnej chwili, ale całymi przebiegami napięć w funkcji czasu. Metoda ta wymaga bardzo dużej pamięci komputera, ale pozwala na blisko 50-krotne zmniejszenie czasu obliczeń w porównaniu z programem SPICE2. Inną niedogodnością omawianego algorytmu jest to, że czas obliczeń w istotny sposób zależy od topologii układu i nadaje się on praktycznie tylko dla układów cyfrowych o niewielkiej liczbie sprzężeń zwrotnych.

Opracowany program CHARCO [13; 15], wykorzystujący zasadę zachowania ładunku jest jeszcze efektywniejszy. Program CHARCO wymaga niewielkiej pamięci i możliwa jest jego adaptacja na małe komputery osobiste. Za jego pomocą możliwa jest analiza na mikrokomputerach stosunkowo złożonych układów. Szybkość obliczeń została porównana z napisanym również w języku FORTRAN programem SPICE2. Porównanie czasów obliczeń przeprowadzone na komputerze VAX 11/780 zestawiono w tab.

Wartą podkreślenia cechą algorytmu jest to, że jego przewaga nad SPICE2 wzrasta wraz ze złożonością układu. Koszty obliczeń ostatniego z tabeli układu zawierającego około 200 tranzystorów za pomocą SPICE2 byłyby zbyt wysokie do przeprowadzenia eksperymentu. Można natomiast założyć, że w przypadku CHARCO analiza układu CMOS, zawierającego 2000 tranzystorów, wynosiłaby około

Tabela. Porównanie czasów analizy programami SPICE i CHARCO

Analizowany układ	SPICE2 sekundy CPU	CHARCO sekundy CPU
4 inwertery bipolarne 4 tranzystory, 8 rezystorów 10 węzłów	23,66	9,10
4 inwertery CMOS 8 tranzystorów, 6 węzłów	75,78	1,26
7 inwerterów CMOS 14 tranzystorów, 9 węzłów	190,72	1,99
9 inwerterów CMOS 18 tranzystorów, 11 węzłów	264,99	2,34
97 inwerterów CMOS 194 tranzystory, 99 węzłów	—	23,04

240 sekund CPU, to znaczy mniej niż wymaga SPICE2 dla analizy 20-tranzystorowego układu. Równie korzystnie dla opisywanego algorytmu przedstawiają się wymagania na wielkość pamięci komputera.

Jednym z ograniczeń algorytmu jest fakt, że minimalny krok czasowy musi być mniejszy od najmniejszej stałej czasowej układu. W przypadku, kiedy interesująca jest analiza w długim okresie czasu z dużym krokiem czasowym, to wtedy jednym z najprostszych rozwiązań jest sztuczne zwiększenie najmniejszych stałych czasowych układu (przez wprowadzenie dodatkowych uziemionych pojemności) do wartości porównywalnej z długością kroku czasowego. Zabieg taki gwarantuje zbieżność numerycznego procesu i w istotny sposób nie wpływa na jego dokładność. Algorytm jest przystosowany do analizy układów cyfrowych, w których w zasadzie wszystkie komórki układu mają zbliżone stałe czasowe. Przydatność tego algorytmu do analizy układów analogowych, gdzie mogą występować duże różnice w stałych czasowych obwodów, jest jednak niewielka.

Poziom układów logicznych

Analiza poprawności logicznej jest o tyle łatwa, że większe systemy cyfrowe są wykonywane zawsze jako układy synchroniczne i cykl operacji logicznych odbywa się sekwencyjnie w kolejnych krokach, podobnie jak ma to miejsce w systemach komputerowych. Dlatego symulacja tych układów cyfrowych na komputerach jest stosunkowo prosta. Do symulacji układów cyfrowych (sprawdzenia ich logicznej poprawności) stosuje się specjalne języki symulacyjne. Języków takich powstało już wiele, ich struktura oparta jest zwykle na zarezerwowaniu określonych macierzy jako rejestrów i następnie wykonywaniu operacji logicznych na danych zawartych w tych rejestrach. Tego typu analiza na poziomie przesłań między rejestrowych zwana jest skrótowo RTL (ang. Register Transfer Level).

W przypadku uproszczonej analizy stanów przejściowych w układach cyfrowych operuje się opóźnieniami poszczególnych komórek, opóźnieniami wprowadzonymi przez połączenia, a proces obliczeń sprowadza się do sumowania opóźnień po wszystkich możliwych torach.

Poziom masek

Komputerowo wspomagane projektowanie masek układów scalonych jest najważniejszym zagadnieniem projektowym w cyklu projektowania układów scalonych. Bez komputerowo wspomaganego projektowania masek nie byłaby możliwa produkcja układów zawierających więcej niż kilkadziesiąt tranzystorów. Wynika to głównie z faktu olbrzymiej liczby danych cyfrowych, niezbędnych do przekazania specjalnym urządzeniom generującym wzory masek na szklanych kliszach. Program PED do projektowania masek układów scalonych [8] został opracowany w Instytucie Technologii Elektronicznej Politechniki Gdańskiej. Program umożliwia projektowanie masek na ośmiu poziomach, tworzenie zbiorów z opisem projektów, dokonywanie modyfikacji utworzonych zbiorów, drukowanie zaprojektowanych struktur.

Pakiet pozwala poza tym na dokonywanie szeregu transformacji elementów i układów. Możliwa jest generacja odbić zwierciadlanych wokół osi X czy Y, możliwe są obroty i przesunięcia. Możliwe jest także łączne kreślenie masek o dowolnie obranych poziomach, dowolnych ich fragmentów w dowolnej skali. Zarówno fragmenty, jak i całość projektu może być kreślona na drukarce graficznej (program akceptuje drukarki następujących typów: Epson, Okidata, Star, IBM oraz D-100). Przy pojemności pamięci operacyjnej rzędu 512 kB możliwe jest wykonywanie projektów do 20 000 wzorców (prostokątów). Program generuje bezpośrednio kod sterujący generatorem masek.

LITERATURA

[1] Antoniadis D. A., Hansen S. E., Dutton R. W.: SUPREM II — A Program for IC Process Modeling and Simulation. Technical Report 5019-2, Stanford Electronics Laboratories, June, 1978.

[2] Engl L., Dirks H. K., Meinerzhagen B.: Device Modeling. Proc. of the IEEE. Vol. 71, January, 1983, pp. 10—33.

[3] Lelarasmee E., Ruehli A. E., Sangiovanni-Vincentelli A. L.: The waveform relaxation method for time-domain analysis of large-scale integrated circuits. IEEE Trans. CAD Integrated Circuit and Systems. Vol. CAD-1, July, 1982, pp. 131—145.

[4] Nagel L. W.: SPICE2: A Computer Simulation Program to Simulate Semiconductor Circuits, University of California, Berkeley, Memo ERL-M520, May, 1975.

[5] Nassif S. R., Strojwas A. J., Director S. W.: FABRICS II: A Statiscitally Based IC Fabrication Process Simulator. Research Report No CMUCAD-83-16, Carnegie-Mellon University, October, 1983.

[6] Ruehli A. E., Ditow G. S.: Circuit analysis, logic simulation, and design veryfication for VLSI. Proc. IEEE. Vol. 71, January, 1983, pp. 34—48.

[7] Rubner-Perersen T., Lindberg E., Lewandowski D., Skup Sz., Wilamowski B.: NAP-2 — Program dla analizy układów elektronicznych. ITE PG raport CPBP 2.16 — 1/86.

[8] Skup S., Wilamowski B.: PED — Mikrokomputerowo wspomagane projektowanie masek układów scalonych. PG raport CPBP 2.16 — 4/86.

[9] Selberherr S.: Analysis and Simulation of Semiconductor Devices. Springer-Verlag, Wiedeń, 1984.

[10] Seberherr S., Schultz A., Potzl H. W.: MINIMOS — a two-dimensional MOS Analyzer. IEEE Trans. Electron Devices ED-27, 1980, pp. 1540—1550.

[11] Wilamowski B., Mattson R., Staszak Z., Musalam A.: Punch-trough spacecharge limited loads. IEEE Electronic Component Conference, Seattle, Washington, USA, May, 1986, pp. 4—6.

[12] Wilamowski B., Mattson R., Staszak Z., Fordemwalt J., Craigin R., Musalam A.: Novel bipolar transistor structures and loads. SRC Tropical Research Conference, San Diego, USA, czerwiec 15, 1984.

[13] Wilamowski B.: CHARCO — Program dla analizy stanów przejściowych w cyfrowych układach scalonych. ITE PG raport CPEP 2.16 — 3/86.

[14] Wilamowski B.: GESIM — Program dla jednowymiarowej analizy stanów przejściowych w strukturach półprzewodnikowych. ITE PG — raport CPBP 2.16 — 2/86.

[15] Wilamowski B., Hamilton D., Staszak Z.: CHARCO — IC Transient Analysis Program. IEEE International Circuit and System Conference, San Jose, California, May 4—6, 1986.