ROZPRAWY ELEKTROTECHNICZNE 1981, 27, z. 2, ss. 431—442

621.382

Nieulotne pamięci półprzewodnikowe

DANIEL TOLLIK (GDAŃSK), BOGDAN WILAMOWSKI (GDAŃSK),
WIESŁAW KORDALSKI (GDAŃSK)

Instytut Technologii Elektronicznej Politechniki Gdańskiej

Otrzymano 9.8.1979

W pracy omówiono zasadę działania elementów nieulotnych pamięci półprzewodnikowych, ze szczególnym uwzględnieniem fizycznych mechanizmów występujących w czasie zapisu i kasowania informacji. Na podstawie analizy zjawisk i konstrukcji różnych rozwiązań elementów pamięci wyciągnięto wnioski odnośnie ich parametrów funkcjonalnych i zastosowań. Przedyskutowano kierunki i perspektywy rozwoju elementów nieulotnych pamięci.

1. WSTĘP

Szybki i wszechstronny rozwój technologii krzemowych układów monolitycznych dokonał przewrotu w konstrukcji komputerów, w tym także pamięci. Dotychczas stosowane pamięci magnetyczne zostały w dużej mierze wyparte przez pamięci półprzewodnikowe, w tym pamięci odczyt/zapis o swobodnym dostępie (RAM). Zaletami pamięci półprzewodnikowych RAM są: większa szybkość działania, większa gęstość upakowania i niższe koszty produkcji, natomiast najpoważniejszą wadą jest całkowity zanik informacji w przypadku wyłączenia zasilania. Jednym ze stosowanych rozwiązań tego problemu jest bateryjne zasilanie bloku pamięci, o ile pamięć ta wykonana jest techniką I^2L lub CMOS charakteryzującymi się bardzo małymi poborami prądu ze źródła zasilania. Najbardziej perspektywicznym rozwiązaniem są jednak nieulotne pamięci półprzewodnikowe (ang. NVSM — *Non-Volatile Semiconductor Memory*) wykonywane według zmodyfikowanych technologii MOS, które są obecnie przedmiotem intensywnych badań prowadzonych w wielu ośrodkach. Ostatnio opracowano szereg nowych wersji konstrukcyjnych pamięci nieulotnych SIMOS [1], EEFAMOS [2], MNSOS [3], MTOS [4] oraz udoskonalono znane wcześniej rozwiązania jak: MNOS [5], MAOS [6], DIFMOS [7].

Istotne różnice pomiędzy poszczególnymi strukturami pamięciowymi polegają na wykorzystywaniu różnych metod programowania informacji oraz różnych typów warstwy, do której wprowadzony jest ładunek, zwanej dalej warstwą pamięci (ang. *memory layer*) Z różnic tych wynikają różne wartości parametrów funkcjonalnych NVSM, a te z kolei bezpośrednio determinują rozmaite możliwości zastosowań. Przedmiotem niniejszej pracy jest analiza i porównanie właściwości oraz parametrów NVSM.

2. ZASADA DZIAŁANIA NVSM

Zasada działania NVSM polega na kontrolowanej zmianie napięcia progowego V_{Th} tranzystora polowego z wielowarstwową strukturą bramki, co w ogólności uzyskuje się przez zmianę momentu ładunku zgromadzonego w warstwie pamięci struktury. Zależność napięcia progowego od rozkładu przestrzennego ładunku $\varrho_i(x)$ ilustruje definicja

$$V_{Th} = V_{FB} + 2\Phi_F - \frac{Q_B}{C_o}, \tag{1}$$

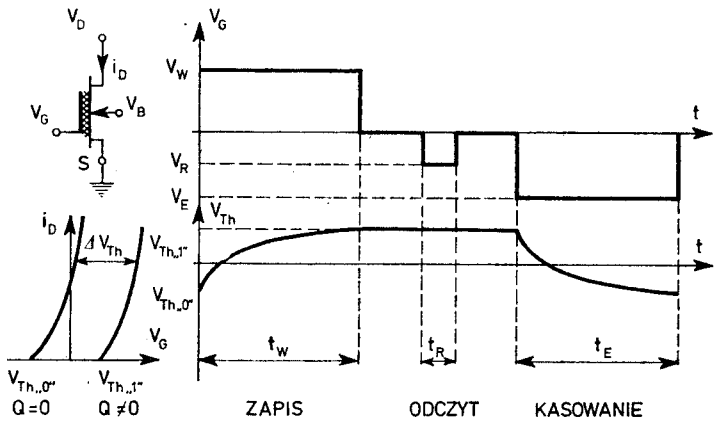
gdzie

$$V_{FB} = \frac{W_{MS}}{q} - \frac{Q_{SS}}{C_o} + \frac{1}{\varepsilon_i}\int_0^{d_i} \varrho_i(x)(d_i - x)dx.$$

W powyższych wyrażeniach użyto następujących oznaczeń: V_{FB} — napięcie płaskich pasm struktury, Φ_F — potencjał Fermiego w podłożu, Q_B — ładunek domieszek w obszarze zubożonym pod kanałem, C_o — pojemność warstwy SiO_2, W_{MS} — różnica prac wyjścia metal-półprzewodnik, Q_{SS} — ładunek stanów powierzchniowych na granicy Si—SiO_2, ε_i, d_i — stała dielektryczna i grubość warstwy pamięci.

Pamiętanie bitu informacji w NVSM polega na zaprogramowaniu dwóch różnych wartości napięcia progowego: $V_{Th,,0''}$ i $V_{Th,,1''}$, którym odpowiadają dwa stabilne w czasie stany logiczne (rys. 1). Nieulotność jest zdolnością struktury do przechowywania wprowadzonej informacji (konkretnego poziomu V_{Th}) przez długi okres czasu bez poboru energii ze źródła zasilania i stanowi kluczowy problem NVSM.

Struktury NVSM poddawane są następującym typowym operacjom (rys. 1).



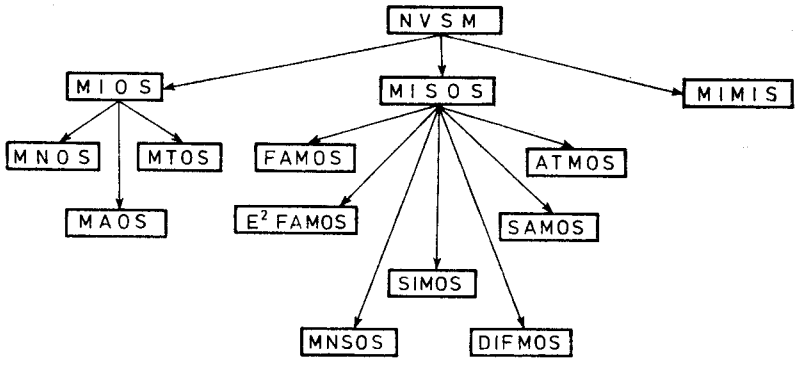
Rys. 1. Zasada programowania struktur nieulotnych pamięci półprzewodnikowych

a) Zapis informacji (zapis „1") — przesunięcie napięcia $V_{Th,,0''}$ o wartości ΔV_{Th} do $V_{Th,,1''}$ przez wprowadzenie ładunku elektrycznego do warstwy pamięci. Operacja ta jest wymuszona przez pole elektryczne wywołane impulsem napięcia o amplitudzie V_W i czasie trwania t_w. Gromadzący się w warstwie pamięci ładunek wytwarza pole hamujące, które redukuje wartość prądu ładującego, tj. zmniejsza szybkość przyrostu ładunku i prowadzi do nasycenia się charakterystyki $V_{Th}(t)$.

b) Kasowanie informacji (zapis „0") — przesunięcie wartości napięcia progowego od $V_{Th,,1"}$ do $V_{Th,,0"}$ przez usunięcie lub skompensowanie ładunku zmagazynowanego w warstwie pamięci. Operacja ta jest wymuszona polem elektrycznym wywołanym przez impuls napięcia o odpowiedniej polaryzacji V_E i czasie trwania t_E lub promieniowaniem elektromagnetycznym o dostatecznie wysokiej energii.

c) Odczyt informacji — detekcja aktualnego stanu logicznego elementu (wartości V_{Th}) polegająca na podaniu napięć drenu V_D i bramki V_G oraz kontroli prądu drenu i_D tranzystora (rys. 1). Amplituda impulsu odczytu V_R i czas odczytu t_R powinny być odpowiednio małe, aby nie wpływały na zawartość odczytywanej komórki pamięci.

Jak już wspomniano poszczególne rozwiązania NVSM różnią się między innymi rodzajem warstwy pamięci. W pamięciach typu MIOS: MNOS [8÷10], MAOS [6÷11], MTOS [4] ładunek gromadzi się w centrach pułapkowych zlokalizowanych w objętości dielektryka i na międzypowierzchni SiO_2 — dielektryk, w pamięciach MISOS (FAMOS [12], DIFMOS [7], ATMOS [13], SIMOS [1], SAMOS [14]) — w cienkiej warstwie polikrystalicznego półprzewodnika otoczonej izolatorem (bramka pływająca, odizolowana elektrycznie — ang. *floating gate*), zaś w strukturach MIMIS [15] ładunek jest magazynowany w bardzo cienkiej warstwie metalu lub monoatomowych wysepkach metalicznych umieszczonych w dielektryku struktury bramki. Na rys. 2 przedstawiono schematycznie podział NVSM oparty o sformułowane wyżej kryterium.



Rys. 2. Podział NVSM według kryterium rodzaju warstwy pamięci

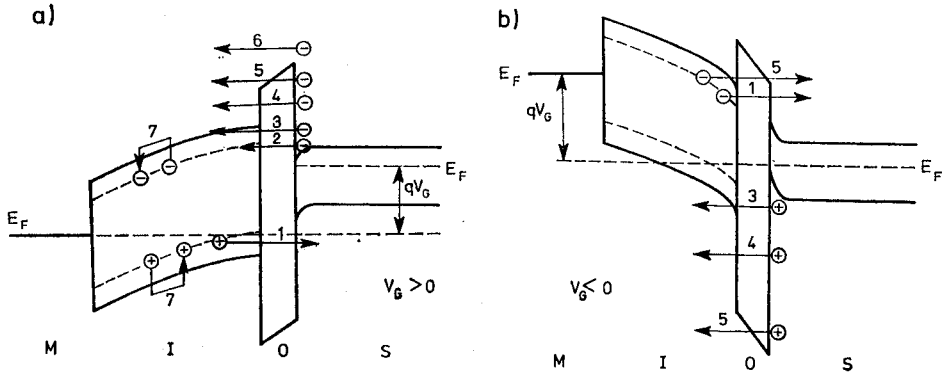
3. ZAPIS I KASOWANIE INFORMACJI W NVSM

Opracowanie nowych konstrukcji NVSM wiąże się ściśle z badaniem i optymalizacją fizycznych metod wprowadzania i usuwania ładunku elektrycznego w strukturach zawierających dielektryk na podłożu półprzewodnikowym. Poniżej omówiono pokrótce najważniejsze mechanizmy transportu nośników występujące przy zapisie i kasowaniu informacji.

A. Tunelowanie nośników przez barierę potencjału podłoże — dielektryk [*8÷10, 16, 17*]. Prąd tunelowy jest silną funkcją wartości natężenia pola elektrycznego w dielektryku oraz grubości i w zależności od spadku napięcia na warstwie dielektryka dominują różne jego składowe. Ze względu na wyższą barierę potencjału Si—SiO_2 dla dziur niż elektronów i większą masę efektywną dziur, proces tunelowania dziur jest mniej efektywny. Rysunek 3

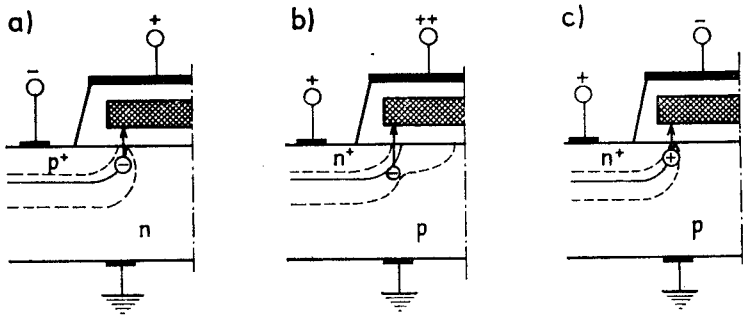
ilustruje na modelu pasmowym struktury MIOS możliwe mechanizmy tunelowania dla zapisu i kasowania informacji.

B. Lawinowe wstrzykiwanie „gorących" nośników ze złącza p-n [*3, 7, 12, 14, 18÷20*]. Generacja wysokoenergetycznych nośników następuje przy występowaniu zjawiska przebicia lawinowego w złączu *p-n* pod strukturą MIS. „Gorące" nośniki przedostają się do



Rys. 3. Model pasmowy struktury MIOS dla operacji zapisu a) ($V_G > 0$) i kasowania b) ($V_G < 0$) prądem tunelowym

1 — tunelowanie z pułapek [9], *2* — tunelowanie do pułapek [9, 17], *3* — zmodyfikowane tunelowanie Fowlera-Nordheima [10], *4* — tunelowanie bezpośrednie [16,17], *5* — tunelowanie Fowlera-Nordheima [8, 16], *6* — prąd „gorących" nośników [12, 19], *7* — prąd Poola-Frenkla [3, 21]



Rys. 4. Mechanizm lawinowego wstrzykiwania „gorących" elektronów (a, b) i dziur (c) ze złącza *p—n* do warstwy pamięci [19]

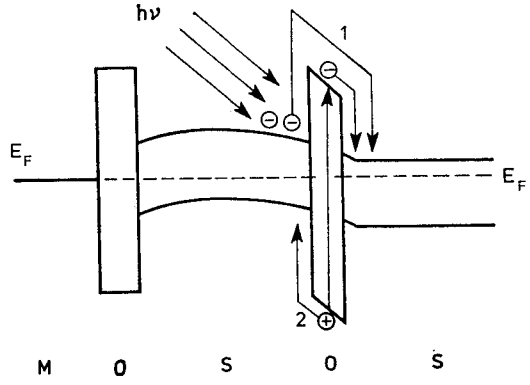
warstwy pamięci ponad barierę potencjału Si—SiO_2. Z powodu znacznie silniejszego pułapkowania dziur niż elektronów w SiO_2, proces injekcji dziur jest mniej efektywny. Łatwo zauważyć, porównując rys. 4a i 4b, że bardziej efektywnym injektorem elektronów jest złącze p^+-n niż p-n^+, co wynika z występowania obszaru jonizacji o dużej wartości pola elektrycznego bezpośrednio przy powierzchni podłoża [13]. Analogicznie można uzasadnić, że efektywniejszym injektorem dziur jest złącze p-n^+ (rys. 4c).

C. Nielawinowe wstrzykiwanie „gorących" elektronów z podłoża [*1, 13, 18, 20*]. „Gorące" elektrony są przyspieszane w obszarze zubożonym utworzonym pod bramką struktury

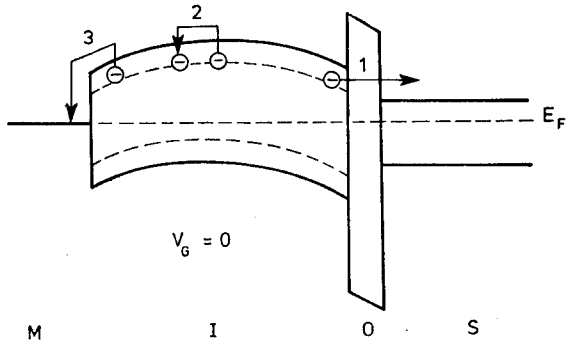
i po osiągnięciu odpowiednio dużej energii pokonują barierę potencjału Si—SiO_2 i gromadzą się w warstwie pamięci. Źródłem tych elektronów może być zarówno złącze p-n^+ (podłoże-warstwa epitaksjalna w strukturze ATMOS [13]) spolaryzowane w kierunku przewodzenia, jak i prąd kanału (w strukturze SIMOS [1]). Oba te rozwiązania pozwalają zrealizować elementy z kanałem typu n, które ze względu na większą ruchliwość elektronów niż dziur cechują się większą szybkością działania (krótszym czasem dostępu).

D. Lawinowe wstrzykiwanie elektronów z warstwy pamięci do podłoża [2]. Jeśli warstwa pamięci jest wykonana z materiału o dużej rezystywności, np. z polikrystalicznego samoistnego krzemu, to napięcie polaryzujące bramkę może wywołać zjawisko jonizacji zderzeniowej zainicjowane przez zgromadzone w tej warstwie elektrony. „Gorące" elektrony są usuwane przez pole elektryczne do podłoża, co wykorzystano w pamięciach EEFAMOS [2] do kasowania informacji.

E. Mechanizm Poola-Frenkla [3, 8÷9, 21]. Jest to prąd aktywacji termicznej nośników z pułapek w dielektryku do pasma przewodnictwa (w przypadku elektronów) lub walencyjnego (w przypadku dziur) wspomaganej polem elektrycznym (rys. 3). Efekt ten wyko-



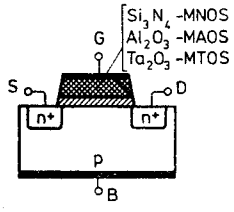
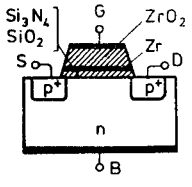
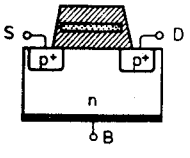
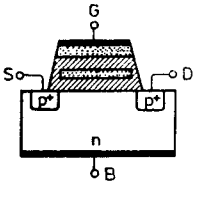
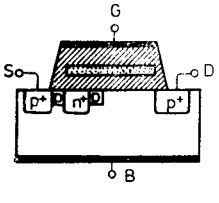
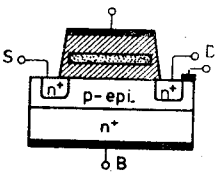
Rys. 5. Absorbcja promieniowania: *1* — ultrafioletowego i *2* — rentgenowskiego w strukturze pamięci NVSM [12]

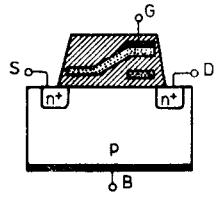
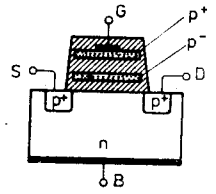
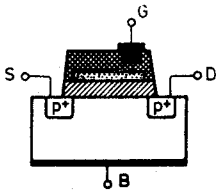


Rys. 6. Procesy prowadzące do ulotności informacji w NVSM na przykładzie pamięci MIOS [9]
1 — prąd tunelowania z pułapek do podłoża, *2* — prąd Poola-Frenkla, *3* — prąd upływu do elektrody bramki

Tablica 1

Podstawowe struktury i metody programowania NVSM

Nazwa	Struktura	Zapis	Kasowanie
MIOS Metal-Isolator Oxide-Semiconductor		tunelowanie „A" (rys. 3a)	tunelowanie „A" (rys. 3b)
MIMIS Metal-Isolator Metal-Isolator Semiconductor		tunelowanie „A" (rys. 3a)	tunelowanie „A" (rys. 3b)
FAMOS Floating-gate-Avalanche — injection-MOS		lawinowe wstrzykiwanie elektronów „B" (rys. 4a)	absorpcja promieniowania „F" (rys. 5)
SAMOS Stacked-gate-Avalanche — injection-MOS		lawinowe wstrzykiwanie elektronów „B" (rys. 4a)	absorpcja promieniowania „F" (rys. 5) lub tunelowanie do bramki „A" (rys. 3a)
DIFMOS Dual-Injector-Floating-gate-MOS		lawinowe wstrzykiwanie elektronów „B" (rys. 4a)	lawinowe wstrzykiwanie dziur „B" (rys. 4c)
ATMOS Adjustable-Threshold-MOS		nielawinowe wstrzykiwanie elektronów „C"	lawinowe wstrzykiwanie dziur „B" (rys. 4c)

SIMOS Stacked-gate-Injection-MOS		nielawinowe wstrzykiwanie elektronów „C"	lawinowe wstrzykiwanie dziur „B" (rys. 4c)
EEFAMOS Electrically-Erasable-FAMOS		lawinowe wstrzykiwanie elektronów „B" (rys. 4a)	lawinowe wstrzykiwanie elektronów do podłoża „D"
MNSOS Metal-Nitride-Semiconductor-Oxide-Semiconductor		lawinowe wstrzykiwanie elektronów „B" (rys. 4a)	mechanizm Poola-Frenkla „E" (rys. 3a)

rzystano w pamięciach MNSOS [3] do kontrolowanego usuwania ładunku do dodatnio spolaryzowanej elektrody bramki.

F. Absorbcja promieniowania elektromagnetycznego o wysokiej energii [*12, 14*]. Kwanty promieniowania ultrafioletowego posiadają dostateczną energię do wzbudzenia elektronów zgromadzonych w warstwie pamięci i umożliwiają ich przejście ponad barierę potencjału Si—SiO_2 do podłoża. Promieniowanie rentgenowskie posiada energię zdolną do wywołania generacji par elektron-dziura w warstwie SiO_2. Pole elektryczne w tlenku krzemu wspomaga transport wygenerowanych nośników: elektronów do podłoża a dziur do warstwy pamięci. Oba te mechanizmy, zilustrowane na rys. 5, wykorzystuje się do kasowania informacji w pamięciach, w których kasowanie metodami elektrycznymi jest niemożliwe (FAMOS) lub mało efektywne (SAMOS).

Opisane powyżej procesy fizyczne wykorzystywane są do sterowania przepływem ładunku w strukturach pamięciowych. Niestety, niektóre z nich — głównie A, E i F, występują także samorzutnie przy $V_G = 0$, prowadząc w konsekwencji do częściowej ulotności informacji. Ilustruje to na przykładzie struktury MIOS rys. 6.

W tablicy 1 zestawiono szereg rozwiązań NVSM, uwzględniając strukturę fizyczną oraz metody zapisu i kasowania. Z analizy konstrukcji i metod programowania można wnioskować o parametrach funkcjonalnych poszczególnych struktur NVSM oraz możliwościach ich zastosowań.

4. PARAMETRY NVSM

Do najistotniejszych parametrów funkcjonalnych NVSM należą: czas zapisu t_w i kasowania t_E, amplituda impulsu zapisu V_W i kasowania V_E, nieulotność oraz reprogramowalność. Czas zapisu i kasowania są to czasy trwania impulsów napięć programujących, które wywołują pożądane przesunięcie napięcia progowego ΔV_{Th}. Wielkość tych czasów (tj. szybkość działania) związana jest z poziomem napięć V_W i V_E, geometrią elementu (grubości poszczególnych warstw) i głównym mechanizmem transportu ładunku. Zwiększenie amplitud V_W i V_E oznacza oczywiście skrócenie czasów t_W i t_E. Stosowanie grubych warstw SiO_2 utrudnia przepływ ładunku i wydłuża czasy programowania. Zwiększenie grubości warstwy pamięci ułatwia rozpływ wprowadzonego ładunku, tzn. zmniejsza jego moment (zależność 1) i w konsekwencji również wydłuża czasy t_W i t_E.

Wymagania nieulotności pamięci i dużej szybkości programowania są ze sobą sprzeczne. W celu zwiększenia szybkości w pamięciach typu MIOS stosuje się ultracienkie (<50 Å) warstwy SiO_2 [16, 17] a ładunek w warstwie pamięci lokuje się bezpośrednio przy granicy SiO_2 [22]. Rozwiązanie to ułatwia jednak spontaniczny zanik tego ładunku i zwiększa ulotność. Optymalizacja konstrukcji NVSM polega więc między innymi na kompromisie pomiędzy szybkością i nieulotnością.

Reprogramowalność NVSM jest to wytrzymałość struktury na wielokrotne poddawanie jej cyklom: zapis-kasowanie. Jest ona ograniczona degradacją właściwości struktury, która objawia się zmniejszeniem i przesunięciem w kierunku ujemnych napięć uzyskiwanego „okienka" ΔV_{Th} oraz zwiększeniem ulotności [23÷26]. Uważa się, że przyczyną ograniczonej krotności programowania jest indukowanie stanów powierzchniowych na granicy Si—SiO_2 [23, 24] i wzrost konduktywności dielektryka (pamięci MIOS [25, 26]). Dokładne zbadanie tych zjawisk i ich wyeliminowanie pozwoli na rozszerzenie zastosowań NVSM.

Innym bardzo ważnym parametrem pamięci jest koszt wytwarzania w przeliczeniu na 1 bit. Jest on funkcją powierzchni zajmowanej przez komórkę pamięci, złożoności procesu technologicznego i stosowanej w nim aparatury.

Do chwili obecnej opracowano wiele różnych wersji konstrukcyjnych pamięci nieulotnych. Porównanie ich parametrów umożliwia tablica 2. Można zauważyć, że najszyb-

Tablica 2

Podstawowe parametry NVSM

Element	Zapis		Kasowanie		Nieulotność	Reprogramowalność
	V_W	t_W	V_E	t_E		
MNOS	30 V	10 μs	−30 V	1 ms	~1 rok	10^8
FAMOS	−40 V	1 ms	—	10^2 s	>1 rok	brak danych
ATMOS	40 V	10 ms	−60 V	1 s	>1 rok	~50
DIFMOS	40 V	50 ms	−40 V	50 ms	~1 rok	10^5
SAMOS	30 V	20 μs	−70 V	100 ms	>10 lat	10^2
MNSOS	−25 V	1 ms	30 V	10^3 s	>10 lat	10^4

szymi strukturami są pamięci MNOS, zaś największą nieulotnością charakteryzują się pamięci SAMOS i MNSOS.

Wybór mechanizmów zapisu i kasowania informacji jest, w świetle rozważań z rozdziału 3, ważnym czynnikiem określającym szybkość działania pamięci. Wynika to między innymi z nierównoważności warunków transportu elektronów i dziur (różne wysokości bariery Si—SiO_2, różne szybkości pułapkowania w SiO_2 oraz różne ruchliwości nośników w podłożu), powodującej że przemieszczenie ładunku ujemnego wiąże się z potencjalnie większą szybkością działania. Łatwo również uzasadnić, że kasowanie metodą naświetlania jest procesem wolniejszym niż kasowanie metodami elektrycznymi. Potwierdza to analiza tablic 1 i 2.

Z tablicy 2 widać ponadto, że stosowane obecnie wartości napięć V_W i V_E rzędu $\pm 30 \div \pm 70$ V są niedogodne zarówno z powodu swej wielkości jak i przeciwnej polaryzacji.

5. WNIOSKI

Badania nad ulepszeniem konstrukcji struktur NVSM mają na celu zwiększenie szybkości działania, zwielokrotnienie reprogramowalności i zmniejszenie ich ulotności. Jednoczesne spełnienie tych wymagań nie jest możliwe na obecnym poziomie wiedzy i technologii. W zależności od przeznaczenia pamięci wykorzystuje się optymalizowane w różny sposób konstrukcje i różne mechanizmy działania.

W pamięciach typu RAM ulotność jest zagadnieniem drugorzędnym, ważna jest szybkość działania i reprogramowania. Do pamięci tych najbardziej przydatne są struktury MIOS (głównie MNOS) z ultracienkimi warstwami SiO_2. Istotnym problemem jest ograniczenie amplitudy impulsów odczytu, gdyż w przypadku cienkich warstw SiO_2 i płytkiej lokalizacji ładunku w warstwie pamięci, impulsy odczytu o znacznej amplitudzie mogłyby modyfikować rozkład ładunku, ograniczając tym samym krotność odczytu informacji.

W pamięciach typu EEROM (ang. *Electrically Erasable ROM*) czas zapisu i kasowania informacji nie jest tak ważny jak czas odczytu. Zagadnieniem kluczowym jest nieulotność. Najbardziej perspektywiczne w tym względzie są struktury typu MISOS i MIOS. Celowe jest zwiększenie grubości warstwy SiO_2, co wydłuża czas programowania i narzuca duże amplitudy V_W i V_E, ale jednocześnie zwiększa nieulotność.

Pamięci typu EROM (ang. *Erasable ROM*) powinny się charakteryzować dużą szybkością odczytu informacji, która rośnie ze zmniejszaniem długości kanału tranzystora. Ważne jest też zapewnienie odpowiednio małej ulotności. Najkorzystniejsze do tych zastosowań są struktury FAMOS i SAMOS, które są kasowane promieniowaniem elektromagnetycznym.

Stan wiedzy i poziom technologii NVSM nie są jeszcze dzisiaj zadowalające. Dla pełniejszej optymalizacji konstrukcji i technologii wymagane jest bliższe poznanie zjawisk fizycznych występujących w strukturach NVSM. Ważnym zagadnieniem jest opanowanie metody kontroli rozkładu pułapek i ładunku w warstwie pamięci w celu polepszenia reprogramowalności tych struktur. Można również oczekiwać wprowadzania innych

materiałów dielektrycznych o dużej wartości względnej przenikalności dielektrycznej ε_i i małej konduktywności σ_i, oraz skonstruowanie pamięci wykorzystujących kombinowane metody transportu ładunku.

LITERATURA

1. A. Scheibe, H. Schulte, *Technology of a new n-channel one-transistor EAROM-cell called SIMOS*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, pp. 600—606.
2. H. C. Card, *Electrically erasable FAMOS memory structure using avalanche injection from floating gate*, Electronics Letters, Sept. 1978, vol. 14, No. 20, pp. 674—676.
3. C. A. Neugebauer, J. F. Burgess, L. Stein, *Electrically erasable buried-gate nonvolatile Read-Only Memory*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No. 5, pp. 613—618.
4. R. L. Angle, H. F. Talley, *Electrical and charge storage characteristics of the tantalum oxide--silicon dioxide devices*, IEEE Trans. on Electron Devices, Nov. 1978, vol. ED-25, No. 11, pp. 1277——1283.
5. P. C. Y. Chen, *Threshold-alterable Si-gate MOS devices*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No. 5, pp. 584—586.
6. D. Kahng, J. R. Brews, W. J. Sundburg, *Avalanche punch-through erase (APTE) mode in dual-dielectric charge-storage (DDC) cells*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No, 5. pp. 531—535.
7. W. M. Gosney, *DIFMOS — a floating-gate electrically erasable nonvolatile semiconductor memory technology*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No. 5, pp. 594—599.
8. D. Frohman — Bentchowsky, *The metal-nitride-oxide-silicon (MNOS) transistor — characteristics and applications*, Proc. IEEE, Aug. 1970, vol. 58, No. 8, pp. 1207—1219.
9. P. Balk, *Layered dielectrics in the MOS technology*, Solid-State Devices, 1973, pp. 51—82.
10. K. J. Lundström, C. M. Svensson, *Properties of MNOS structures*, IEEE Trans. on Electron Devices, June 1972, vol. ED-19, No. 6, pp. 826—836
11. S. Sato, T. Yamaguchi, *Study of charge storage behavior in metal-alumina-silicon dioxide--silicon MAOS field-effect transistor*, Solid-State Electronics, April 1974, vol. 17, No. 4, pp. 367—376.
12. D. Frohman-Bentchowsky, *FAMOS — a new semiconductor charge storage device*, Solid--State Electronics, June 1974, vol. 17, No. 6, pp. 517—529.
13. J. F. Verwey, R. P. Kramer, *ATMOS — an electrically reprogrammable Read-Only Memory device*, IEEE Trans. on Electron Devices, Oct. 1974, vol. ED-21, No. 10, pp. 631—636.
14. H. Iizuka, F. Masuoka, T. Sato, M. Ishikawa, *Electrically alterable, avalanche--incjection type MOS Read-Only Memory with stacked-gate structure*, IEEE Trans. on Electron Devices, April 1976, vol. ED-23, No. 4, pp. 379—387.
15. D. Kahng, S. Sze, *A floating gate and its application to memory devices*, The Bell System Technical Journal, July-Aug. 1967, vol. 46, No. 6, pp. 1288—1295.
16. J. J. Chang, *Theory of MNOS memory transistor*, IEEE Trans. on Electron Devices, Hay 1977, vol. ED-24, No. 5, pp. 511—518.
17. A. V. Ferris-Prabhu, *Charge transfer by direct tunneling in thin-oxide memory transistors*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No. 5, pp. 524—530.
18. Y. Tarui, Y. Hayashi, K. Nagai, *Electrically reprogrammable nonvolatile semiconductor memory*, IEEE J. of Solid-State Circuits, Oct. 1972, vol. SC-7, No. 5, pp. 369—375.
19. C. Bulucea, *Avalanche injection into the oxide in silicon gate-controlled devices — I theory*, Solid--State Electronics, Aprill 1975, vol. 18, No. 4, pp. 363—374.
20. J. F. Verwey, A. Heringa, *Avalanche injection and near avalanche injection of charge carriers into SiO_2*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No. 5, pp. 519—523.
21. K. Lehovec, A. Fedotowsky, *Charge retention of MNOS devices limited by Frenkel-Poole detrapping*, Applied Physics Letters, March 1975, vol. 32, No. 5, pp. 335—338.

22. D. Kahng, W. J. Sundburg, D. M. Boulin, J. R. Ligenza, *Interfacial dopants for dual-dielectric charge storage cells*, The Bell System Technical Journal, Nov. 1974, vol. 53, No. 9, pp. 1723—1740.
23. M. H. White, J. W. Dzimianski, M. C. Peckerar, *Endurance of thin-oxide nonvolatile MNOS memory transistors*, IEEE Trans. on Electron Devices, May 1977, vol. ED-24, No. 5, pp. 577—580.
24. K. O. Jeppson, C. M. Svensson, *Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices*, J. of Applied Physics, May 1977, vol. 48, No. 5, pp. 2004—2014.
25. R. A. Williams, M. M. E. Beguwala, *The effect of electrical conduction of Si_3N_4 on the discharge of MNOS memory transistors*, IEEE Trans. on Electron Devices, Aug. 1978, vol. ED-25, No. 8, pp. 1019—1022.
26. F. L. Schuermeyer, C. R. Young, *Endurance studies of MNOS devices*, J. of Applied Physics, Aug. 1978, vol. 49, No. 8, pp. 4556—4559.

D. TOLLIK, B. WILAMOWSKI, W. KORDALSKI

NONVOLATILE SEMICONDUCTOR MEMORIES

Summary

The principles of operation of the nonvolatile semiconductor memory elements are described. All physical mechanisms during writing and erasing are considered in detail. On the basis of the analysis of these phenomena the conclusions for applications and functional parameters of various constructions are derived. Future trends in the development of nonvolatile semiconductor memory are discussed.

D. TOLLIK, B. WILAMOWSKI, W. KORDALSKI

MÉMOIRES SEMI-CONDUCTEURS NON-VOLATILES

Résumé

On caractérise les principes de travail des mémoires semi-conducteuier non-volatiles et en particulles processus physiques qui se produisent pendant l'enregistrement et l'effacement des informations. L'anai lyse des effets et des constructions des dispositifs de différentes mémoires a permis de tirer les conclusions concernant les paramètres et leurs applications. On a discuté les directions et les perspectives du développement des éléments de mémoires non-volatiles.

D. TOLLIK, B. WILAMOWSKI, W. KORDALSKI

NONVOLATILE HALBLEITERSPEICHER

Zusammenfassung

Im vorliegenden Beitrag beschreibt man das Arbeitsprinzip der Elemente nonvolativer Halbleiterspeicher unter besonderer Berücksichtigung der beim Schreiben und Löschen der Information auftretenden physikalischen Prozesse. Die Analyse der Prozesse und Konstruktionen verschiedener Halbleiterelemente gestattete, die Funktionsparameter und deren Anwendung zu charakterisieren. Die Entwicklungsrichtungen und Parspektiven der nonvolativen Halbleiterspeicher wurden diskutiert.

Д. ТОЛЛИК, Б. ВИЛЯМОВСКИ, В. КОРДАЛЬСКИ

НЕКРАТКОВРЕМЕННЫЕ ПОЛУПРОВОДНИКОВЫЕ ПАМЯТИ

Резюме

Представлен принцип действия элементов некратковременной полупроводниковой памяти. Особое внимание уделено рассмотрению физических явлений происходящих во время записи и стирания информации. На основе янализа явлений и конструкций различных элементов памяти выведены заключения относительно их функциональных параметров и возможности применения. Проанализованы направления и перспективы развития элементов некратковременной памяти.