INSTYTUT TECHNOLOGII ELEKTRONICZNEJ POLITECHNIKI GDAŃSKIEJ
INSTYTUT PODSTAW ELEKTRONIKI POLITECHNIKI WARSZAWSKIEJ
SEKCJA UKŁADÓW ELEKTRONICZNYCH KOMITETU ELEKTRONIKI
I TELEKOMUNIKACJI POLSKIEJ AKADEMII NAUK

III KRAJOWA KONFERENCJA
„TEORIA OBWODÓW I UKŁADY ELEKTRONICZNE"

Teksty referatów

Stawiska k/Gdańska, 24 – 27 października 1979

Dariusz Lewandowski
Bogdan Wilamowski
Instytut Technologii Elektronicznej
Politechniki Gdańskiej

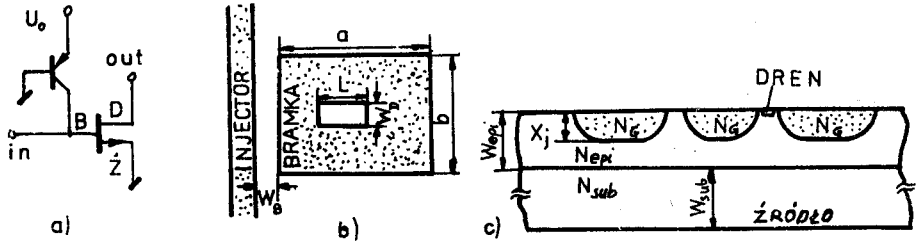
MODEL ŁADUNKOWY DO WYZNACZANIA WŁASCIWOSCI DYNAMICZNYCH INWERTERA SITL

I. WSTEP

Tranzystory polowe złączowe o charakterystykach triodowych zaprojektowane jako normalnie wyłączone (BSIT) znalazły zastosowanie w układach logicznych wielkiej skali integracji I^2L /zwanej Static Induction Transistor Logic/ [1]. Kanał takich tranzystorów jest całkowicie odcięty przez napięcie wbudowane złącza bramka-kanał. Spolaryzowanie tego złącza w kierunku przewodzenia przez przyłożenie napięcia U_{GS} powoduje zmniejszenie bariery potencjału istniejącej w kanale i wzrost prądu drenu I_D. Polaryzacja ta powoduje wstrzykiwanie do kanału i źródła nośników mniejszościowych. Mówi się o bipolarnym rodzaju pracy złączowych tranzystorów polowych [2]. Poniżej przedstawiono analizę czasu opóźnienia i iloczynu $P \cdot \tau$ bramki I^2L zbudowanej z tranzystorów SITL za pomocą modelu ładunkowego [3].

II. MODEL ŁADUNKOWY

Na rys. 1/a/ pokazany jest schemat inwertera SITL. Konstrukcja inwertera przedstawiona jest na rys. 1/b/ i 1/c/. Dla uproszczenia podzielono inwerter na cztery części, dla których



Rys. 1. Inwerter SITL

osobno określono wielkość zmian ładunku nośników mniejszościowych. Ładunki te przedstawione na rys. 2 to

1/ ΔQ_{BP} - ładunek dziur w bazie tranzystora pnp

2/ ΔQ_{SG} - ładunek zjonizowanych domieszek w warstwie opróżnionej bramka-źródło

3/ ΔQ_{SG} - ładunek dziur w epitaksjalnej części źródła

4/ ΔQ_{SS} - ładunek dziur w podłożowej części źródła.

Inne ładunki pominięto. Uzasadnienie słuszności takiego założenia przedstawione zostanie później.

Pomijając rekombinację w bazie tranzystora pnp ładunek ΔQ_{BP} można obliczyć całkując rozkład nośników mniejszościowych. Otrzymano

$$\Delta Q_{BP} = q \frac{W_B n_i^2 S_B}{2 N_{epi}} \exp(U_{EB}/U_T) \qquad /1/$$

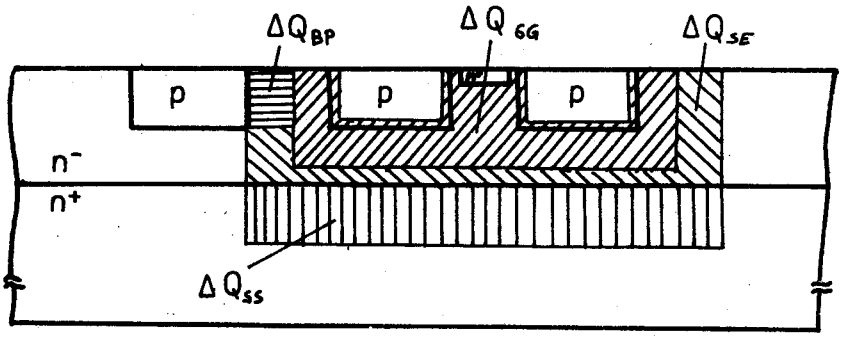
gdzie $S_B = b \cdot x_j$

Zakładając, że złącze bramka-źródło jest skokowe, oraz że koncentracja N_{epi} jest na tyle mała, że napięcie wbudowane opróżnia całą warstwę epitaksjalną, ładunek warstwy opróżnionej wynosi

$$\Delta Q_{SG} = q S_G N_{epi} (W_{epi} - x_j) \qquad /2/$$

gdzie $S_G = ab - LW_D$

Pomijając rekombinację w obszarze quasi - neutralnym epitaksjalnej części źródła oraz zakładając jednorodną koncentrację dziur w warstwie epitaksjalnej otrzymano



Rys. 2. Ładunki zgromadzone w inwerterze SITL

$$\Delta Q_{SE} = q\, S_G \frac{n_i^2}{N_{epi}} (W_{epi} - x_j) \exp(U_{GS}/U_T) \qquad /3/$$

Ponieważ droga dyfuzji dziur w źródle $L_p \ll W_{sub}$ ładunek w podłożu wynosi

$$\Delta Q_{SS} = q\, S_G \frac{L_p n_i^2}{N_{sub}} \exp(U_{GS}/U_T) \qquad /4/$$

Czas opóźnienia inwertera τ_d może być wyznaczony z zależności

$$\tau_d = \frac{\Delta Q_{BP} + \Delta Q_{SG} + \Delta Q_{SE} + \Delta Q_{SS}}{I_D} \qquad /5/$$

Czas opóźnienia spowodowany gromadzeniem ładunku nośników mniejszościowych jest niezależny od prądu I_D i określa minimalny czas opóźnienia

$$\tau_{min} = \frac{\Delta Q_{BP} + \Delta Q_{SE} + \Delta Q_{SS}}{I_D} \qquad /6/$$

Natomiast czas opóźnienia określony pojemnościami złączowymi jest zależny od prądu. Jednoznacznie określa on iloczyn $P \cdot \tau$ inwertera

$$P \cdot \tau = \Delta Q_{SG} \cdot U \qquad /7/$$

gdzie $U \approx 0{,}6$ V jest amplitudą logiczną inwertera.

III. OBLICZENIA I WYNIKI DOŚWIADCZALNE

Dla zilustrowania powyższej metody pomierzono [4] minimalny czas opóźnienia inwertera oraz iloczyn $P \cdot \tau$ struktur SITL o następujących parametrach:

koncentracje	wymiary [μm]	inne dane
$N_{epi} = 4 \cdot 10^{13}\,cm^{-3}$ $N_{sub} = 1 \cdot 10^{19}\,cm^{-3}$ $N_G = 1 \cdot 10^{19}\,cm^{-3}$	$a = 57{,}2$ $b = 27{,}2$ $L = 27{,}8$ $W_D = 2{,}8$ $W_{epi} = 10$ $x_j = 3{,}6$ $W_B = 4{,}8$ $W_{sub} = 150$	$L_p = 0{,}001$ cm $I_D = 25$ uA dla $U_{GS} = 0{,}5$ V

Dla struktury tej zmierzono

$\tau_{min} = 79$ ns dla $I_D = 25$ uA

$P\tau = 9\{\}$ dla $I_D \ll 25$ uA

Ładunki wyliczone na podstawie przedstawionych wyżej danych wynoszą odpowiednio

$\Delta Q_{BP} = 4{,}8 \cdot 10^{-14}$C

$\Delta Q_{SE} = 1{,}9 \cdot 10^{-12}$C dla $I_D = 25\ \mu A$, $U_{GS} = 0{,}5$ V

$\Delta Q_{SS} = 6{,}0 \cdot 10^{-18}$C ≈ 0

$\Delta Q_{SG} = 1{,}5 \cdot 10^{-14}$C

więc

$\tau_{min} = 78$ ns

oraz

$P \cdot \tau = 9\{\}$

Uzyskano bardzo dobrą zgodność między obliczonymi i zmierzonymi wartościami minimalnego czasu opóźnienia oraz iloczyn $P\tau$. Dowodzi to słuszności przyjętych założeń upraszczających.

IV. WNIOSKI

Zaproponowana metoda wyznaczania dynamicznych właściwości inwertera SITL potwierdziła wnioski słuszne dla typowych inwerterów I^2L

1/ wpływ tranzystora p-n-p jest niewielki

2/ czas minimalny τ_{min} określa ładunek dziur zgromadzonych w epitaksjalnej części źródła

3/ iloczyn $P\tau$ określony jest pojemnością warstwy opóźnionej

Bardzo małe wartości $P\tau$ spowodowane są niskimi koncentracjami domieszek w warstwie epitaksjalnej. Natomiast niezbyt małe czasy τ_{min} można skracać ulepszając technologię wytwarzania SITL. W założonym modelu pominięto rozważania dotyczące czasu opóźnienia spowodowanego transportem nośników w kanale tranzystora SIT. Ponieważ uzyskano zgodność metody z eksperymentu należy sądzić, że jest on stosunkowo niewielki. W związku z powyższym, stosując technologie zmniejszające ΔQ_{SG}, wytwarzając cieńszą warstwę epitaksjalną, stosując technologię izolacji tlenkowej (mała powierzchnia bramek), można spodziewać się uzyskania dla inwerterów SITL oprócz bardzo małego iloczynu

również małego czasu τ_{min} konkurującego z najszybszymi układami VLSI. Pojawi się wówczas konieczność modelowania dynamicznych właściwości BSIT z uwzględnieniem zjawisk zachodzących w kanale.

V. BIBLIOGRAFIA

[1] J.Niskizawa, B.Wilamowski, Proc. 1976 Int. Conf. Solid State Devices /Tokyo/, Jap. J.Appl. Phys. Suppl. 16-1, pp. 151.

[2] S.Roosild, R.Dolan, D. O'Neil, Prac. IEEE, v.51, p.1059, 1963.

[3] T.Hendrickson, J.Huang, IEEE J. Solid State Circuits vol. SC-12, p. 171, 1977.

[4] J.Nishizawa, B.Wilamowski,... RIEC Technical Report, TR-37, 1977.