ZESZYTY NAUKOWE
POLITECHNIKI GDAŃSKIEJ

ELEKTRONIKA

Nr 39

ZESZYTY NAUKOWE
POLITECHNIKI GDAŃSKIEJ
NR 269

ELEKTRONIKA

ZESZYT XXXIX

GDAŃSK 1977

ZESZYTY NAUKOWE POLITECHNIKI GDAŃSKIEJ
Nr 269 Elektronika XXXIX 1977

BOGDAN MACIEJ WILAMOWSKI
Instytut Technologii Elektronicznej

PROBLEMY PROJEKTOWANIA BIPOLARNYCH MONOLITYCZNYCH UKŁADÓW SCALONYCH

Praca poświęcona jest problemom projektowania bipolarnych monolitycznych układów scalonych z uwzględnieniem aspektów technologicznych i zjawisk cieplnych. Wyprowadzono analityczne zależności wiążące parametry procesu redyfuzji. Podano metodę określania właściwości temperaturowych rezystorów dyfuzyjnych, oraz określono wpływ dyfuzji bocznej w procesach predyfuzji i redyfuzji na wartość rezystancji tych rezystorów. Przedstawiono model tranzystora bipolarnego do komputerowego projektowania układów słuszny w szerokim zakresie prądów i temperatur. Zaprezentowano nową efektywną metodę komputerowej analizy rozbudowanych układów oraz sposób uwzględniania sprzężeń termicznych między elementami układu scalonego dla przypadku stacjonarnego. Przedstawiono szereg nowych rodzajów tranzystorów wykorzystujących inne niż dotychczas zjawiska fizyczne.

Podano kilka nowych rozwiązań układowych, a w szczególności zaprezentowano nową rodzinę układów logicznych o dużej gęstości upakowania i małym iloczynie mocy i czasu przełączania.

1. WSTĘP

Specyfika scalonych układów półprzewodnikowych powoduje, że uruchomienie produkcji określonego układu wiąże się z długim i bardzo drogim procesem jego projektowania. W przypadku układów cyfrowych, wykonanych zarówno techniką MOS jak i z elementami bipolarnymi, trudności projektowe ograniczają się praktycznie do określenia prawidłowej sieci logicznej, gdyż punkty pracy układu są mniej istotne. Natomiast w przypadku liniowych układów scalonych zagadnienie jest znacznie bardziej złożone, ponieważ wykonywanie prototypów z elementów indywidualnych jest praktycznie niemożliwe. Wynika to ze zbyt dużych rozrzutów parametrów między elementami indywidualnymi i z różnic temperatur elementów układu. Złożone układy polaryzacji i duża liczba elementów aktywnych w układzie scalonym narzucają stosowanie specyficznych, przybliżonych metod analizy. Przykład takiej metody, wykorzystującej odcinkami liniową aproksymację charakterystyk tranzystorów, przedstawiony został w pracach autora [A.8] [A.9] [A.26]. Te metody analizy wymagające zrozumienia istoty działania układu są nieodzownym narzędziem

projektowania układów scalonych. Ich dokładność jest jednak zbyt mała i nie pozwala na pełną weryfikację koncepcji układowych. Dokładna analiza układów scalonych dokonywana jest wyłącznie przy pomocy komputera. Problem małosygnałowej analizy nawet złożonych układów jest stosunkowo łatwy, jednakże analiza nieliniowych z natury układów scalonych, przy wykorzystaniu tradycyjnych, uniwersalnych metod analizy węzłowej, wymaga bardzo długich i kosztownych obliczeń. Przy projektowanych obecnie, coraz to bardziej rozbudowanych układach,koszty obliczeń rosną nieproporcjonalnie szybciej w stosunku do wzrostu liczby węzłów w układzie. Powoduje to, że czasami standardowe metody komputerowej analizy stają się nieopłacalne. Jednym z rozwiązań, częściowo obniżającym koszty obliczeń jest podział układu na mniejsze bloki i ich niezależna analiza. Innym rozwiązaniem jest stosowanie nietradycyjnych metod komputerowej analizy. Jedna z takich metod przedstawiona jest w dalszej części niniejszej rozprawy.

Wyniki komputerowej analizy układu scalonego przydatne będą tylko wtedy, jeżeli przyjęte w programie modele będą dobrze opisywać rzeczywiste elementy. Najdoskonalszym opublikowanym dotychczas modelem tranzystora jest model Fosuma [2.10] uwzględniający największą liczbę zjawisk fizycznych zachodzących w rzeczywistym tranzystorze. Złożony schemat zastępczy modelu Fosuma powoduje znaczną rozbudowę analizowanego układu i wydłuża czas komputerowych obliczeń. Inny model tranzystora nie posiadający tej wady, a uwzględniający te same zjawiska fizyczne został opracowany przez autora [A.23] [A.30].

Zagadnieniem o dużym znaczeniu jest uwzględnienie efektów termicznych w komputerowych programach analizy. Punkty pracy układu, otrzymane w wyniku analizy komputerowej, zgadzać się będą z wynikami pomiarów rzeczywistego układu tylko wtedy, jeżeli w programie zostaną uwzględnione aktualne temperatury elementów, różne od temperatury otoczenia. Problem ten nie jest niestety ujęty w olbrzymiej większości znanych komputerowych programach analizy. Jest on jeszcze tym bardziej skomplikowany, ponieważ dla uzyskania reprezentowanych wyników należy uwzględnić sprzężenia termiczne między elementami układu scalonego. Zagadnienie to nie jest dotychczas rozwiązane. Ze względu na złożone kształty elementów układu scalonego i konieczność trójwymiarowej analizy, zawodzą praktycznie zarówno analitycznie jak i numeryczne metody analizy przepływu ciepła. Pierwszą próbą rozwiązania tego zagadnienia jest praca Fukaneri i Graya [3.5] przy wykorzystaniu uproszczonej dwuwymiarowej analizy. Inna metoda kompleksowej analizy sprzężeń elektrotermicznych zaprezentowana jest w dalszej części niniejszej pracy.

Charakterystyczną cechą układów scalonych jest to, że zmiana procesu technologicznego powoduje w ściśle określony sposób jednoczesną zmianę parametrów wszystkich elementów układu. Konstruktor zmienia jedynie parametry procesu technologicznego, a nie parametry indywidualnie dobieranych elementów, jak to ma miejsce w przypadku tradycyjnych układów. To ograniczenie narzuca konieczność poznania wpływu parametrów technologicznych na

parametry elektryczne elementów. Sprowadza się to praktycznie przy wykorzystaniu komputerowych metod analizy, do uzależnienia parametrów modeli elementów od parametrów procesu technologicznego. Zasadniczymi procesami technologicznymi decydującymi o parametrach wytwarzanych elementów w bipolarnych układach scalonych są procesy dyfuzji, a w szczególności etap nazywany redyfuzją. Przeprowadzona przez autora [A.10] [A.11] teoretyczna analiza procesu redyfuzji, z uwzględnieniem segregacji domieszek przy utlenianej powierzchni, pozwala na analityczne powiązanie parametrów uzyskiwanych warstw z parametrami procesu technologicznego. Dotychczasowa teoria [2.15] [2.33] sugerowała istotny wpływ dyfuzji bocznej na wartości rezystancji rezystorów dyfuzyjnych, praktyka jednak tego nie potwierdziła. Przyczyna tej rozbieżności wynika z przeprowadzonych w niniejszej rozprawie analiz.

Postęp w projektowaniu liniowych układów scalonych wiąże się z tworzeniem nowych rozwiązań typowych podukładów [A.12] [A.13] [A.14] [A.15] lub też tworzenia układów o nie znanych dotychczas właściwościach [A.24].

Istotny postęp w konstrukcji cyfrowych układów scalonych uwarunkowany jest tworzeniem podstawowych bramek logicznych o innej zasadzie działania i coraz to lepszych właściwościach. Parametrem określającym jakość bramki logicznej jest iloczyn czasu opóźnienia tej bramki i mocy ją zasilającej $\tau \times P$. Najlepszymi w tym względzie właściwościami charakteryzują się opracowane 4 lata temu układy zwane I^2L [4.2] [4.3], w których iloczyn $\tau \times P$ jest rzędu 0.2 ~ 0,7 pJ. Opublikowana niedawno modyfikacja tych układów zwana VIL [4.10] posiada dwa razy mniejszą wartość tego parametru, ale charakteryzuje się skomplikowaną technologię wymagającą 8 procesów maskowania. Opracowany przez autora[x)] rodzaj układów logicznych zwany SIL (Static Induction Logic), który charakteryzuje się prostym 3 lub 4 maskowym procesem technologicznym i znacznie mniejszym iloczynem $\tau \times P$, został zaprezentowany na międzynarodowych konferencjach w Tokio [A.27] i Filadelfii [A.28]. W zrealizowanych ostatnio układach tego typu pomierzone wartości iloczynu wynosiły 0.002 pJ [A.31], co jest rezultatem o blisko dwa rzędy wielkości lepszym od szczytowych światowych osiągnięć uzyskiwanych w dotychczas znanych układach cyfrowych.

Udoskonalenie układów scalonych wynika również z tworzenia elementów o lepszych konstrukcjach [A.32] [A.33] lub też z tworzenia elementów aktywnych wykorzystujących inne niż dotychczas zjawiska w półprzewodnikach [4.7] [A.35].

Przedmiotem niniejszej rozprawy są problemy układowego projektowania bipolarnych monolitycznych układów scalonych z uwzględnieniem aspektów technologicznych i zjawisk termicznych.

---

x Praca wykonana w Semiconductror Research Institute w Sendai, Japonia - kierowanym przez prof. Nishizawę.

Analiza elementów układu scalonego, ich konstrukcji i technologii przedstawiona jest w rozdziale 2 pracy. Wyprowadzona tam została analityczna zależność wiążąca parametry procesu redyfuzji, ze zmianą w trakcie tego procesu rezystancji na kwadrat warstw dyfuzyjnych oraz przedstawiono metodę określania wpływu dyfuzji bocznej na wartości rezystorów dyfuzyjnych zarówno dla procesów predyfuzji jak i redyfuzji. Opracowano także praktycznie przydatną metodę obliczania temperaturowych współczynników rezystancji dla rezystorów dyfuzyjnych w zależności od parametrów procesu technologicznego. W rozdziale tym zaprezentowany jest również nowy nieliniowy model tranzystora do komputerowego projektowania układów słuszny w szerokim zakresie temperatur i jego odpowiednik dla małosygnałowej analizy. Model ten utworzony jest na bazie fizycznych zjawisk zachodzących w tranzystorze, jednakże ilościowe uzależnienie parametrów modelu od parametrów procesów technologicznych, w oparciu o istniejący stan teorii działania tranzystora, jest obecnie niemożliwe. W dalszej części tego rozdziału opisane są metody określania parametrów modeli tranzystorów, a w szczególności nowa metoda pomiaru rezystancji szeregowej kolektora.

Rozdział 3 niniejszej pracy poświęcony jest analizie układów scalonych. Przedstawiono w nim nową szybką i efektywną metodę komputerowej analizy, wykorzystującą macierze łańcuchowe, szczególnie przydatną do analizy układów, w których liczba pętli sprzężenia zwrotnego jest znacznie mniejsza niż liczba węzłów w układzie. Cechę tą posiada zdecydowana większość liniowych układów scalonych. W wielu przypadkach ta metoda jest wielokrotnie szybsza niż tradycyjne metody wykorzystujące macierze [Y], a dzięki niej możliwa jest analiza rozbudowanych układów przy wykorzystaniu niewielkich komputerów. Zaptezentowano również próbę kompleksowej analizy sprzężeń termicznych w układzie scalonym, przy wykorzystaniu analitycznie rozwiązanego równania Laplace'a dla bardziej ogólnie niż dotychczas sformułowanych warunków brzegowych. Opracowana metoda wykorzystuje zasadę superpozycji wynikającą z nakładania się strumieni ciepła i z przyjęcia założenia liniowego charakteru zjawisk termicznych.

Rozdział 4 prezentuje nowe technologie oraz nowe rozwiązania konstrukcyjne elementów i układów scalonych. Przedstawiono tam układ funkcjonalny generatora złożonego z elementów rezystywnych i tranzystorów wykorzystujących do generacji drgań efekt wewnętrznego sprzężenia termicznego w tranzystorze. Podano pierwsze rozwiązanie układowe pozwalające na realizacje linii neurystorowych w technice monolitycznych układów scalonych. Przedstawiono też nową rodzinę układów cyfrowych, charakteryzującą się dużą gęstością upakowania i technologią wymagającą jedynie trzech lub czterech procesów maskowania. Układy te posiadają najmniejszy ze znanych układów cyfrowych iloczyn mocy i czasu opóźnienia. W dalszej części tego rozdziału zaprezentowano tranzystor z elektrostatycznym efektem oddziaływania bramki i drenu oraz przedstawiono próbę teoretycznego wyjaśniania zjawisk zachodzących w tym elemencie. Zaproponowano nowe rozwiązanie konstrukcyjne tranzystora tego typu, charakteryzujące się prostszą technologią i większym

współczynnikiem wzmocnienia napięciowego. Wskazano również na możliwość budowy tranzystorów z elektrostatycznym oddziaływaniem elektrod, charakteryzujących się bardzo dużą częstotliwością graniczną, przy wykorzystaniu innych niż dotychczas mechanizmów wstrzykiwania nośników w kanał oraz wskazano możliwość budowy elementów wykorzystujących jednocześnie różne mechanizmy wzmacniania sygnału.

Niniejsza rozprawa zawiera głównie tylko elementy oryginalnych osiągnięć autora. Problemy projektowania bipolarnych układów scalonych, podane w sposób ogólny z zachowaniem hierarchii ważności tych problemów zawierają prace [1.1] [1.3] [1.5] [1.6] [1.7] [1.8] [1.14] [1.15]. Dla zapewnienia ciągłości i przejrzystości rozprawy, części niektórych podrozdziałów mają jednak charakter przeglądowy. Uwaga ta dotyczy szczególnie podrozdziału 2.4, w którym omówiono specyficzne zagadnienia występujące w bipolarnych układach scalonych oraz podrozdziału 4.1 poświęconemu trendom rozwojowym technologii, napisanego w oparciu o własne rozeznanie autora w kierunkach rozwoju kilku wiodących firm japońskich.

Szereg zagadnień związanych z projektowaniem bipolarnych układów scalonych takich jak: zasady działania tranzystorów bipolarnych [1.10] [1.11] [1.12] [1.13] [1.16] [1.18] [1.19], postęp w komputerowych metodach projektowania układów [1.4] [1.9], podstawowe zagadnienia procesów technologicznych [1.2] [1.17], zostały w rozprawie pominięte. Nie poruszono też w pracy problemu rozmieszczenia elementów na powierzchni układu scalonego i związanej z tym optymalizacji połączeń. Ten ważny problem ma swoją specyfikę pozwalającą na jego odrębne traktowanie. Nie wiąże się on jednak z zagadnieniem układowego projektowania monolitycznych bipolarnych układów scalonych, co jest głównym przedmiotem niniejszej rozprawy.

2. MODELE ELEMENTÓW

Analiza i projektowanie układów możliwe są tylko wtedy, gdy znane są dokładnie właściwości ich elementów składowych, lub innymi słowy, gdy znane są modele tych elementów. Za model elementu uważać można zbiór pewnych zależności danych w postaci analitycznej lub graficznej. Dokładność analizy będzie oczywiście wzrastać w miarę dysponowania dokładniejszymi zależnościami wiążącymi właściwości elementów.

Cechą specyficzną modeli elementów układów scalonych jest to, że oprócz uwzględnienia wpływu temperatury, dodatkowo wymagane są zależności parametrów modeli od parametrów procesów technologicznych. W praktyce problem ten sprowadza się do uzależnienia parametrów modeli od rozkładu i wartości koncentracji domieszek. Te dodatkowe wymagania wynikają z faktu, że w układzie scalonym nie ma możliwości doboru indywidualnych elementów, a istnieje natomiast możliwość doboru parametrów procesu technologicznego. Zmiany procesów technologicznych wpływają zaś w różny sposób na zmiany parametrów różnych elementów układów scalonych.

Przodujący w świecie producenci układów scalonych tworzą banki modeli elementów dla każdej stosowanej technologii. Zależności parametrów tych modeli od parametrów procesów technologicznych powstają głównie poprzez żmudne zbieranie danych doświadczalnych. Uzyskane w ten sposób dane stanowią tajemnice firmowe i nie są oczywiście nigdzie publikowane. Charakterystyczne w tym sposobie postępowania jest to, że dla określonej technologii bada się kierunki i wielkości zmian parametrów modeli przy stosunkowo niewielkich odchyleniach parametrów procesów technologicznych. Teoria procesów technologicznych oraz znajomość zjawisk zachodzących w elementach układu scalonego, są przy obecnym stanie wiedzy jeszcze niepełne. W dalszej części pracy podane zostaną niektóre zależności wiążące parametry elementów układu scalonego z parametrami procesów technologicznych, wyprowadzone na bazie zweryfikowanych i ugruntowanych opisów zjawisk zachodzących w elementach. Przy tworzeniu modeli elementów układu szczególną uwagę zwrócono na wpływ temperatury na parametry modeli. W znanych komputerowych modelach elementów problem ten jest często nie uwzględniany lub ujmowany niezbyt ściśle i poprawnie.

2.1. Procesy technologiczne

W typowej technologii wytwarzania monolitycznych bipolarnych układów scalonych parametry elementów zależą w głównej mierze od procesów dyfuzji domieszek, przy czym najistotniejszą rolę spełniają procesy dyfuzji boru w celu wytworzenia baz i rezystorów oraz dyfuzje fosforu w celu wytworzenia emiterów. W przypadku emiterów istotna jest właściwie jedynie głębokość, na jaką została wydyfundowana warstwa. Parametry tranzystorów w znikomym stopniu zależą bowiem od rozkładu i wartości koncentracji domieszek w emiterze, jeżeli tylko wartość koncentracji domieszek jest w nich odpowiednio duża. W przypadku wykorzystywania w układzie rezystorów wykonanych w warstwie emitera, zachodzi również konieczność uzyskiwania powtarzalnych wartości rezystancji powierzchniowej tej warstwy. Dyfuzja boru przeprowadzana jest zwykle w dwóch etapach: predyfuzji i redyfuzji. W trakcie tego drugiego procesu, prowadzonego przy jednoczesnym utlanianiu krzemu, możliwa jest korekta błędów powstałych w procesie predyfuzji.

Zjawiska zachodzące na granicy tlenek - półprzewodnik w trakcie utleniania były przedmiotem wielu analiz. A.S. Grove i współpracownicy [2.8] [2.13], oraz J.M. Shannon [2.28] badali zjawisko segregacji domieszek w wyniku utleniania powierzchni jednorodnych płytek krzemu. Próba rozwiązania tego problemu dla warstw dyfuzyjnych z wykorzystaniem maszyny cyfrowej, była podejmowana przez T. Kato i Y. Nishi [2.20]. To samo zagadnienie było również przedmiotem prac J.S. Huanga i L.C. Wellivera [2.17] oraz S. Margalita i współpracowników [2.26]. Brak jest jednak nadal całościowego opracowania problemu, a sterowanie procesami technologicznymi przebiega na drodze czysto empirycznej. W rozdziale tym przedstawioni próbę analitycznego powiązania parametrów procesu redyfuzji warstwy dyfuzyjnej bazy, prowadzonej w atmosferze wilgotnego tlenu, ze zmianą rezystywności warstwy

dyfuzyjnej w trakcie tego procesu. Uzyskane wyniki były prezentowane m.in. na V Międzynarodowej Konferencji Solid State Devices w Tokyo [A.10] [A.11].

Parametrem charakteryzującym warstwę rezystywną jest rezystancja na kwadrat $R_{\square}$, która w przypadku rezystywnej warstwy półprzewodnikowej o grubości h wyraża się zależnością:

$$R_{\square} = \frac{1}{\int_0^h \sigma(x)dx} = \frac{1}{q\int_0^h N(x)\mu(x)dx} = \frac{1}{q\bar{\mu}Q} \tag{2.1}$$

gdzie:

$\bar{\mu} = \dfrac{\int_0^h N(x)\mu(x)dx}{\int_0^h N(x)dx}$ – efektywna ruchliwość nośników w warstwie,

$Q = \int_0^h N(x)\,dx$ – ładunek domieszek na warstwie na jednostkę powierzchni.

Korzystając z wyrażenia (2.1) można napisać, że po procesie redyfuzji rezystancja na kwadrat warstwy dyfuzyjnej wynosi:

$$R_{\square 2} = R_{\square 1}\frac{\bar{\mu}_1 Q_1}{\bar{\mu}_2 Q_2} \tag{2.2}$$

gdzie: indeksy 1 i 2 oznaczają odpowiednio parametry przed i po procesie redyfuzji.

Wyrażenie (2.2) można napisać również w postaci

$$R_{\square 2} = R_{\square 1}\frac{1}{g_\mu g_Q} \tag{2.3}$$

gdzie:

$g_\mu = \dfrac{\bar{\mu}_2}{\bar{\mu}_1}$ – współczynnik korekcji wynikający ze zmiany efektywnej ruchliwości,

$g_Q = \dfrac{Q_2}{Q_1}$ – współczynnik korekcji wynikający ze zmiany ładunku domieszek w warstwie.

Analiza każdego z wymienionych współczynników korekcji zostanie przeprowadzona oddzielnie. Przyjmując podaną przez Prince'a [2.27] aproksymację zależności ruchliwości nośników od koncentracji domieszek o postaci:

$$\mu = \mu_o \left(\frac{No}{N}\right)^b \tag{2.4}$$

gdzie:

b – współczynnik mniejszy od jedności, którego wartość dobierana jest zależnie od zakresu aproksymacji

oraz zakładając *gaussowski rozkład domieszek w warstwie*, określić można wartość współczynnika korekcji g_μ jako:

$$g_\mu = \left(\frac{N_{p1}}{N_{p2}}\right)^b \tag{2.5}$$

lub

$$g_\mu = \left(\sqrt{\frac{D_2\, t_2}{D_1\, t_1} + 1}\right)^{b/2} \tag{2.6}$$

W wyniku utleniania domieszkowanego krzemu część domieszek przedostaje się z półprzewodnika do tworzącego się na jego powierzchni tlenku krzemu. W efekcie, w czasie procesu dyfuzji, ładunek domieszek w krzemie maleje i po procesie wynosi:

$$Q_2 = Q_1 - Q_{SiO_2} \tag{2.7}$$

a współczynnik korekcji g_Q wyraża się wzorem:

$$g_Q = 1 - \frac{Q_{SiO_2}}{Q_1} \tag{2.8}$$

Koncentracje domieszek w tlenku N_{SiO_2} w zależności od odległości od powierzchni można aproksymować wyrażeniem:

$$N_{SiO_2}(x) = k_1 \frac{N_{p1}}{\sqrt{\frac{Ld_2^2}{Ld_1^2} + 1}} = k_1 \frac{N_{p1}}{\sqrt{\frac{D_2 x^2}{BD_1 t_1} + 1}} \tag{2.9}$$

gdzie:

N_{p1} - koncentracja powierzchniowa domieszek przed procesem redyfuzji,

$L_{d1} = \sqrt{D_1\, t_1}$ - długość dyfuzji dla procesu predyfuzji,

$L_{d2} = \sqrt{D_2\, t_2}$ - długość dyfuzji w procesie redyfuzji,

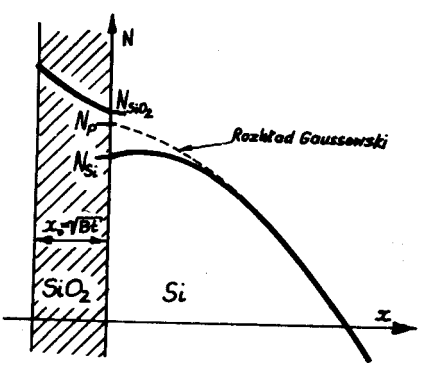
x - odległość od powierzchni tlenku,

k_1 - współczynnik proporcjonalności,

D_1, D_2 - stałe dyfuzji domieszek w krzemie,

B - współczynnik określający szybkość powstawania warstwy tlenku.

Współczynnik proporcjonalności k_1 zależy od współczynnika segregacji domieszek na granicy krzem - tlenek $m = N_{Si}/N_{SiO_2}$ (rys. 2.1).



Rys. 2.1. Rozkład domieszek w dyfuzyjnej warstwie boru na granicy faz tlenek-krzem

Ponieważ współczynnik k_1 w rzeczywistości w niewielkim tylko stopniu zależy od koncentracji powierzchniowej domieszek i od warunków utleniania, w przedstawionej analizie przyjęto k_1=const.

Ładunek domieszek Q_{SiO_2}, jaki znajduje się w warstwie tlenku, można otrzymać przez scałkowanie wyrażenia (2.9):

$$Q_{SiO_2} = k_1 N_{p1} Ld_1 \sqrt{\frac{B}{D}} \operatorname{arsh}\left(\frac{Ld_2}{Ld_1}\right) \tag{2.10}$$

Początkowy ładunek domieszek w warstwie dyfuzyjnej przed procesem redyfuzji wynosił:

$$Q_1 = k_2 N_{p1} Ld_1 \tag{2.11}$$

gdzie: k_2 - współczynnik proporcjonalności.

Ostatecznie współczynnik korekcji g_Q po podstawieniu (2.10) i (2.11) do (2.8) wyraża się zależnością:

$$g_Q = 1 - K\sqrt{\frac{B}{D_2}} \operatorname{arsh}\left(\frac{Ld_2}{Ld_1}\right) = 1 - K\sqrt{\frac{B}{D_2}} \operatorname{arsh}\left(\sqrt{\frac{D_2}{B}}\frac{x_1}{Ld_1}\right) \tag{2.12}$$

gdzie: K - współczynnik proporcjonalności,
x_1 - grubość powstałego tlenku.

Zależność (2.12) jest słuszna w przypadku usunięcia przed procesem redyfuzji tlenku z powierzchni krzemu i następnie przeprowadzenia procesu redyfuzji przy stałej wilgotności tlenku w piecu. Jeżeli dodatkowo uwzględnimy fakt, że po procesie predyfuzji na powierzchni pozostała warstwa dwutlenku krzemu o grubości x_o, wówczas otrzymujemy:

$$g_Q = 1 - K\sqrt{\frac{B}{D_2}} \ln\left(\frac{x_1 + \sqrt{Bt_2 + L_{d1}^2 \frac{B}{D2}}}{x_o + L_{d1}\sqrt{\frac{B}{D_2}}}\right) \tag{2.13}$$

Proces redyfuzji można prowadzić w m etapach o różnej wilgotności tlenku, zwykle jednak w tej samej temperaturze. Współczynnik g_Q dla tak prowadzonego procesu wyrazić można wzorem:

$$g_Q = 1 - \sum_{n=1}^{m} K\sqrt{\frac{B_n}{D_n}} \ln\left(\frac{x_n + \sqrt{B_n t_n + L_{dn-1}^2 \frac{B_n}{D_n}}}{x_{n-1} + \sqrt{Ld_{n-1}^2 \frac{B_n}{D_n}}}\right) \tag{2.14}$$

gdzie:

B_n - współczynnik określający szybkość utleniania dla n-tego procesu,
D_n - stała dyfuzja domieszek w krzemie w n-tym procesie,
x_n - grubość tlenku krzemu po n-tym procesie,
x_{n-1} - grubość tlenku krzemu przed n-tym procesem,
t_n - czas trwania n-tego procesu,

gdzie: Ld_{n-1} - długość dyfuzji warstwy wyfundowanej przed n-tym procesem,

K - współczynnik proporcjonalności dobierany doświadczalnie zależny od współczynnika segregacji domieszek na granicy faz tlenek-półprzewodnik.

W oparciu o wyprowadzone zależności (2.3), (2.6), (2.12) i (2.14) można stworzyć analityczny model procesu redyfuzji baz. Jedynym parametrem wymagającym doświadczalnego wyznaczenia jest współczynnik K. Zależy on od współczynnika m-segregacji domieszek na granicy tlenek-półprzewodnik. Obydwa te współczynniki uzależnione są nieznacznie od koncentracji powierzchniowej domieszek i warunków utleniania powierzchni krzemu. Współczynnik K może być dobierany optymalnie dla każdej technologii.

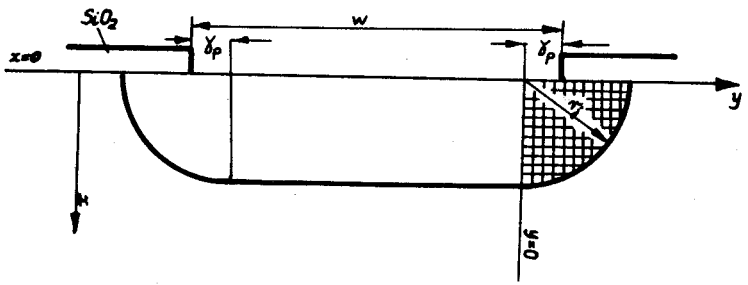
2.2. Rezystory

Wartość rezystancji R rezystorów w układach scalonych są proporcjonalne do rezystancji na kwadrat warstwy dyfuzyjnej i zależą od kształtu masek. W przypadku rezystora o kształcie prostokąta o długości l i szerokości w rezystancja $R = R_{\square} l/_{w}$. Należy przy tym zaznaczyć, że wartości rezystancji R rezystorów półprzewodnikowych różnią się zwykle od wartości wynikającej z podanej zależności. Przyczynami tej różnicy są: występowanie efektu dyfuzji bocznej w procesie wytwarzania ścieżek rezystywnych [2.15] [2.33, różna szerokość kontaktów i ścieżki rezystywnej, skończona grubość warstwy dyfuzyjnej w okolicy kontaktów [2.7] oraz rezystywność doprowadzeń i samego kontaktu [2.29]. Daleko posunięta minimalizacja rozmiarów rezystora, nie tylko ze względów ekonomicznych, ale i z uwagi na konieczność minimalizacji efektów pasożytniczych spowodowała, że istotnym staje się problem analizy i uwzględnienia dyfuzji bocznej.

M.L.Gupta i A.B.Bhattacharya [2.15], analizując efekt dyfuzji bocznej korzystali z teoretycznych zależności ruchliwości nośników od koncentracji domieszek i uzyskali analityczne zależności uwzględniające ten efekt. Złożona postać tych zależności, jak również fakt wykorzystania słabo pokrywającego się z doświadczeniem teoretycznego opisu zjawisk transportu, czyni uzyskane przez nich wyniki mało przydatnymi praktycznie. Analizowali oni wpływ dyfuzji bocznej przy założeniu, że proces dyfuzji prowadzony był z ograniczonym ładunkiem domieszek. Przyjęta przez nich aproksymacja profilu domieszek wydaje się być bardzo dyskusyjna i różniąca się znacznie od cytowanych w ich pracy wyników Kennedy'ego i O'Brien'a [2.21], co podważa wiarygodność uzyskanych przez nich wyników. Yanagawa [2.33] oparł się na doświadczalnej zależności rezystywności krzemu od koncentracji domieszek [2.19] i analizował efekt dyfuzji bocznej przyjmując, że proces dyfuzji prowadzony był ze stałą koncentracją powierzchniową domieszek. Trudno jednak praktycznie wykorzystać podane przez niego wyniki, ponieważ wartość zaproponowanej poprawki zmienia się w interesującym przedziale koncentracji powierzchniowej domieszek o cztery rzędy wielkości. Korzystanie z podanych przez Yanagawe wykresów prowadzi do dość poważnych błędów wynikających z niedokładności odczytu.

W niniejszej pracy analizowany jest problem dyfuzji bocznej zarówno w przypadku, gdy proces dyfuzji prowadzony był ze stałą koncentracją powierzchniową, jak również w przypadku, gdy zachowany był stały ładunek domieszek

Inna, nowa metoda podejścia powoduje, że poprawka wynikająca z różnych koncentracji powierzchniowych zmienia się w niewielkim zakresie, umożliwiając również łatwe szacowanie efektu dyfuzji bocznej nawet bez konieczności odczytywania tej poprawki z wykresów. W przypadku jej uwzględnienia możliwe jest określenie efektu dyfuzji bocznej z dużą dokładnością.



Rys. 2.2. Przekrój rezystora dyfuzyjnego

Konduktancję G rezystora dyfuzyjnego, którego przekrój jest pokazany na rys. 2.2, można wyrazić zależnością:

$$G = \frac{w - 2\delta_p}{R_\square l} + 2\frac{1}{l}\iint_s \sigma[N(x,y)]\,dxdy \qquad (2.15)$$

gdzie:

$R_\square$ - rezystancja na kwadrat warstwy rezystywnej bez uwzględnienia efektu dyfuzji bocznej,

l - długość rezystora,

w - szerokość rezystora,

$\sigma[N(x,y)]$ - konduktywność właściwa warstwy dyfuzyjnej na brzegach rezystora,

s - obszar zakreskowany na rys. 2.2.

Wpływ dyfuzji bocznej na wartość rezystora dyfuzyjnego można uwzględnić w postaci poprawki 2 w dodanej do szerokości okna dyfuzyjnego w dwutlenku krzemu.

$$2w = 2\left[R_\square \iint_s \sigma[N(x,y)]\,dx\,dy - \delta_p\right] \qquad (2.16)$$

gdzie znaczenie parametru δ_p zilustrowane jest na rys. 2.2.

Rozważając analogiczny jak Yanagawa [2.33] przypadek, to znaczy zakładając, że proces dyfuzji rezystora prowadzony był przy zachowaniu stałej koncentracji powierzchniowej, rozkłady domieszek w rezystorze można wyrazić zależnościami:

a) w środkowej części rezystora:

$$N(x,y) = N_p \operatorname{erfc}\left(\frac{x}{2L_B}\right) \tag{2.17}$$

gdzie:

N_p - koncentracja powierzchniowa domieszek,

$L_B = \sqrt{Dt}$ - długość dyfuzji domieszek.

b) na brzegu rezystora z uwzględnieniem dyfuzji bocznej:

$$N(x,y) = N_p \operatorname{erfc}\left(\frac{\sqrt{x^2 + y^2}}{2L_B}\right) \tag{2.18}$$

Przechodząc w równaniu (2.18) na współrzędne cylindryczne $r = \sqrt{y^2 + x^2}$, oraz wprowadzając normalizację zmiennych $u = r/2L_B$ i $t = x/2L_B$, zależność (2.16) można sprowadzić do postaci:

$$2\Delta w = k_p L_B \tag{2.19}$$

gdzie:

$$k_p = 2\pi \frac{\int_0^{r_d/2L_B} \delta[N_p \operatorname{erfc}(u)]\, du}{\int_0^{r_d/2L_B} \delta[N_p \operatorname{erfc}(t)]\, dt} - \frac{2\delta_p}{L_B} \tag{2.20}$$

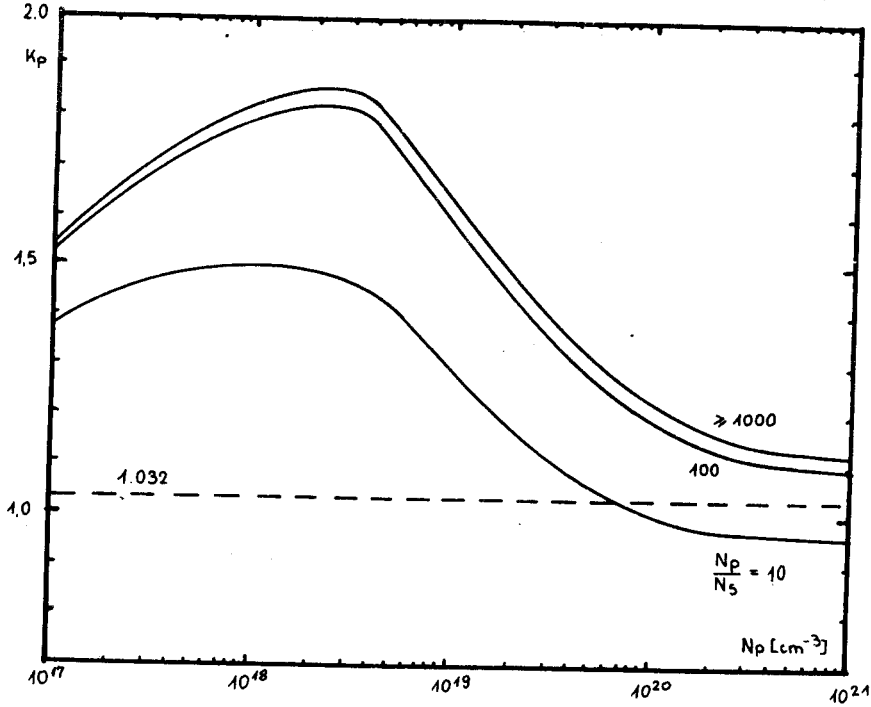
Parametr k_p jest poprawką, której wartość obliczyć można numerycznie. Przy przyjęciu doświadczalnych zależności przewodności właściwej krzemu, od koncentracji domieszek podanych przez Irvina i identycznemu jak u Yanagawy założeniu $\delta_p = 0{,}876\, L_B$ obliczono wartości parametru k_p w funkcji koncentracji powierzchniowej domieszek, co ilustruje rys. 2.3. Można zauważyć, że zmiana parametru k_p z koncentracją jest niewielka. Aktualną wartość rezystancji R rezystora określać można z zależności:

$$R = R_\square \frac{l}{w + k_p L_B} \tag{2.21}$$

W przypadku, gdyby nie uwzględniać zależności ruchliwości nośników od koncentracji i wpływu koncentracji domieszek w podłożu, poprawka k_p miałaby wartość stałą i wynosiłaby:

$$k_p = 2\pi \frac{\int_0^\infty u \operatorname{erfc}(u)\, du}{\int_0^\infty \operatorname{erfc}(u)\, du} - \frac{2\delta_p}{L_B} = \frac{\pi\sqrt{\pi}}{2} - 1.752 = 1.032 \tag{2.22}$$

Należy podkreślić, że obliczając wartości $k = k_p R_\square L_B$ uzyska się identyczne jak Yanagawa wykresy [2.33].



Rys. 2.3. Zależność parametru k_p dla rezystorów wytworzonych w procesie dyfuzji prowadzonym przy stałej koncentracji domieszek

Rozważając przypadek rezystorów wykonanych w procesach dyfuzji, prowadzonych przy zachowaniu stałego ładunku domieszek w warstwie dyfuzji, można również posłużyć się rysunkiem 2.2. W tym przypadku rozkład domieszek w środkowej części rezystora opisać można wzorem:

$$N(x,y) = Np \exp\left[-\left(\frac{x}{2L_B}\right)^2\right] \qquad (2.23)$$

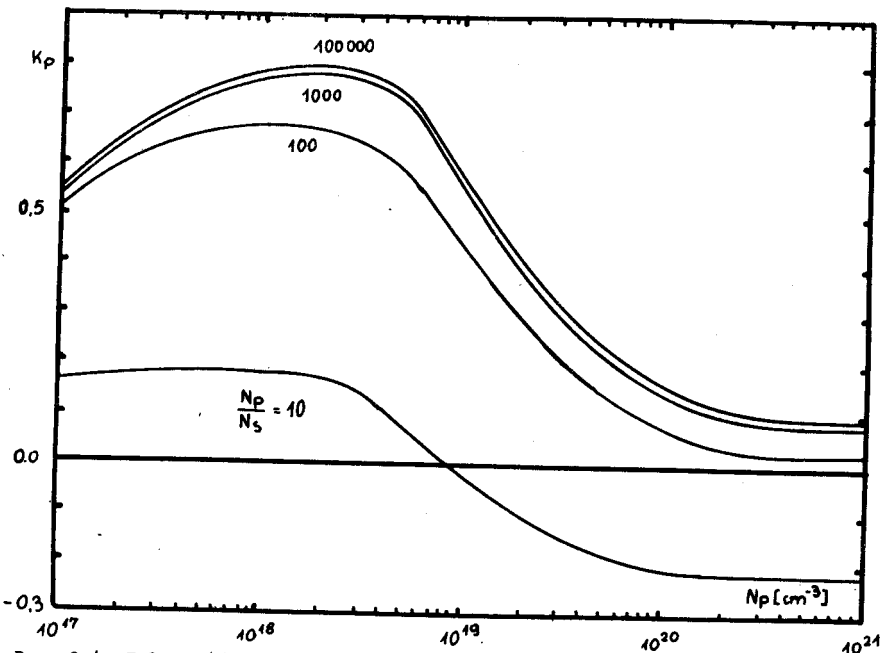
zaś na jego brzegach rozkład ten aproksymuje się zależnością

$$N(x,y) = Np \exp\left[-\left(\frac{x^2 + y^2}{4 L_B^2}\right)\right] \qquad (2.24)$$

Przyjmując, że w czasie procesu redyfuzji ładunek domieszek w warstwie nie ulegał zmianie, i że słuszne są zależności (2.23) i (2.24), to parametr $\delta_p = \sqrt{\pi}\, L_B$. Postępując analogicznie jak poprzednio można wartość parametru k_p dla przypadku rezystorów otrzymywanych w procesie dyfuzji, prowadzonych z ograniczonym źródłem domieszek, obliczyć z zależności

$$k_p = 2\pi \frac{\int_0^{r_d/2L_B} u\,\acute{o}\left[(Np \exp(-u^2)\right] du}{\int_0^{r_d/2L_B} \acute{o}\left[Np \exp(-t^2)\right] dt} - 2\sqrt{\pi} \qquad (2.25)$$

Wyniki obliczeń przedstawione są na rys. 2.4. W tym przypadku zmiana rezystywności rezystora dyfuzyjnego jest mniejsza i wynika tylko w faktu zależności ruchliwości nośników od koncentracji domieszek. Pominięcie tej zależności i przyjęcie μ = const prowadzi do $k_p = 0$.



Rys. 2.4. Zależność parametru k_p dla rezystorów wytworzonych w procesie dyfuzji prowadzonym przy ograniczonym ładunku domieszek w warstwie dyfuzyjnej

Analiza wpływu dyfuzji bocznej na wartość rezystancji rezystora przeprowadzona została dla dwóch skrajnych przypadków: idealnego procesu predyfuzji oraz idealnego procesu redyfuzji. Wypadkowa efektywna zmiana szerokości rezystora może być traktowana jako suma zmian po obydwu tych procesach.

Istotnym wnioskiem wynikającym z otrzymanych wyników jest fakt, że wpływ dyfuzji bocznej na wartość rezystora wytwarzanego w procesie redyfuzji jest nieznaczny. W wyniku dyfuzji bocznej wartość rezystora w tym przypadku może ulec zwiększeniu lub zmniejszeniu jak to ilustruje wykres na rys. 2.4. Fakt ten jest często obserwowany w praktyce i powoduje, że efekt dyfuzji bocznej jest często zaniedbywany przy projektowaniu układów scalonych, jeżeli tylko proces dyfuzji prowadzony jest przy zachowaniu stałego ładun-

ku domieszek. Podejście takie jest słuszne jednak tylko wtedy, jeżeli głębokość wdyfundowywania domieszek w procesie predyfuzji jest niewielka, oraz jeżeli koncentracja powierzchniowa domieszek po procesie redyfuzji jest większa od 1×10^{19} at/cm^3.

Cechą ujemną rezystorów półprzewodnikowych jest duża zależność wartości ich rezystancji od temperatury, w porównaniu z rezystorami wykonanymi innymi technikami. Wynika to głównie z temperaturowej zależności ruchliwości nośników. Teoretyczna analiza tych zjawisk [2.3] [A.10] jest zgodna z eksperymentem jedynie w zakresie niedużych koncentracji powierzchniowych domieszek. Dla określenia temperaturowego współczynnika rezystancji TWR, w niniejszej pracy przyjęto rozkład domieszek z uwzględnieniem efektu segregacji domieszek przy powierzchni, oraz wykorzystano dane pomiarowe zależności rezystancji krzemu od koncentracji domieszek [2.19] i dane pomiarowe temperaturowego współczynnika rezystancji krzemu dla materiału jednorodnego [2.4].

W celu uwzględnienia zjawiska segregacji domieszek przy powierzchni krzemu w wyniku jego utleniania, w niniejszej pracy zmodyfikowano zależność na rozkład domieszek przy powierzchni dla materiału jednorodnego podaną przez Grove'a [2.13]. Przyjęto, że wypadkowy rozkład domieszek w warstwie dyfuzyjnej opisany jest zależnością:

$$N(x) = N_p\left\{\exp\left[-\left(\frac{x}{2L_B}\right)^2\right] - (1 - Sg)\ \mathrm{erfc}\left(\frac{x}{2L_B}\right)\right\} \qquad (2.26)$$

gdzie:

$Sg = \frac{N_o}{N_p}$ - współczynnik segregacji określony jako stosunek rzeczywistej koncentracji powiwrzchniowej N_o, do koncentracji N_p, jaka byłaby gdyby efektu segregacji nie uwzględniać,

$L_B = \sqrt{Dt}$ - długość drogi dyfuzji dla procesu redyfuzji domieszek.

Wartość współczynnika Sg w zależności od parametrów procesu technologicznego można w pierwszym przybliżeniu szacować na podstawie wykresów podanych dla materiału jednorodnego [2.1][2.32].

Przy pominięciu koncentracji domieszek w podłożu N_s (tzn. $N_p \gg N_s$), rezystancja na kwadrat warstwy dyfuzyjnej wyraża się zależnością:

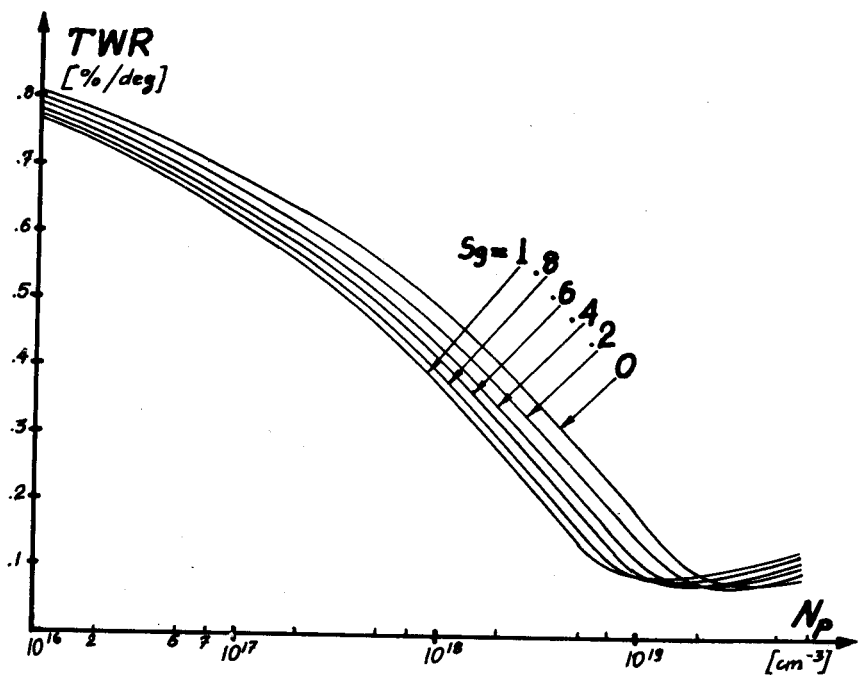
$$R = \frac{1}{\int_0^\infty \acute{o}[N(x)]\,dx} \qquad (2.27)$$

gdzie za $\acute{o}[N]$ w obliczeniach przyjęto doświadczalną zależność przewodności krzemu od koncentracji podaną przez Irvina [2.19]. Korzystając z danych pomiarowych zależności temperaturowego współczynnika rezystancji $\xi[N]$ krzemu od koncentracji domieszek podanych przez Bullisa at.al. [2.4], wykorzystując metody numeryczne, można obliczyć wartości współczynnika TWR dla warstw o rozkładzie domieszek podanych zależnością(2.26) ze wzoru:

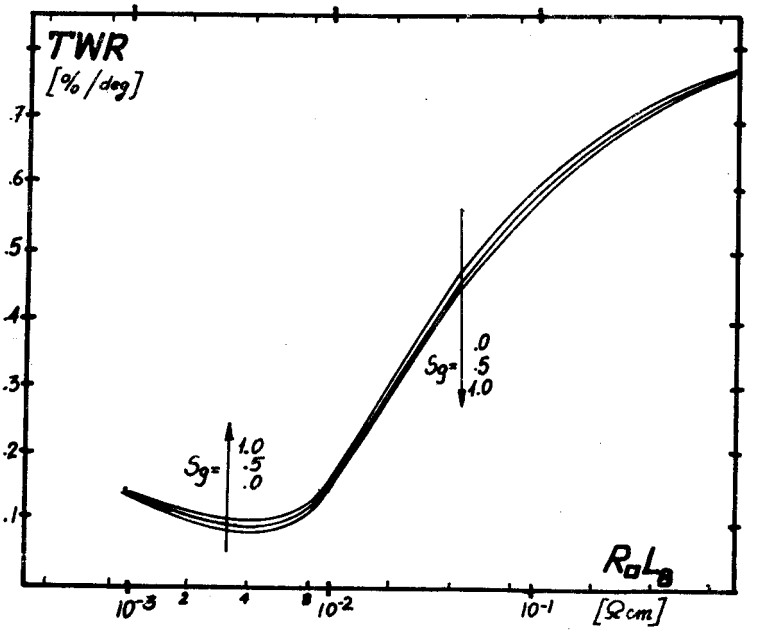
$$TWR = \frac{\int_0^\infty \xi[N(x)]\, \delta[N(x)]\, dx}{\int_0^\infty \delta[N(x)]\, dx} \qquad (2.28)$$

Wykres zależności TWR = f (N_p, Sg) dla rezystorów wytworzonych w warstwie bazy ilustruje rys. 2.5. Przydatność tego wykresu jest jednak niewielka, ponieważ wartości parametrów N_p i Sg są zwykle nieznane. Parametrami warstwy dyfuzyjnej znacznie łatwiejszymi do określenia są $R_{\square B}$ i L_B. Przy opisanym zależnością (2.26) rozkładzie domieszek, iloczyn $R_{\square B}$ i L_B jest jednoznaczną funkcją parametru N_p. Możliwe jest wówczas określanie współczynnika TWR w funkcji iloczynu $R_{\square B} L_B$ (rys. 2.6). Wpływ współczynnika Sg jest niewielki i nawet błędne szacowanie jego wartości nie powoduje dużych błędów w określaniu TWR dla rezystorów wykonanych w warstwie bazy. Stąd też wynika bardzo duża praktyczna przydatność wykresu przedstawionego na rysunku 2.6.

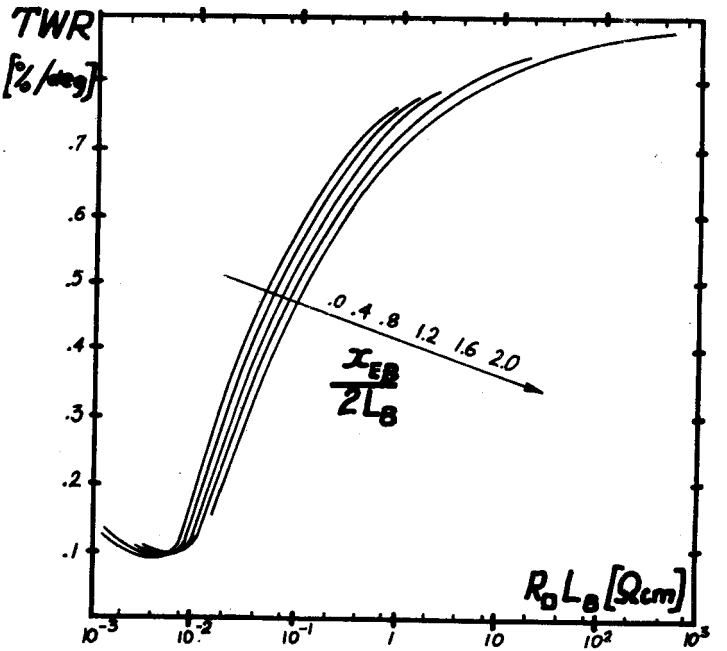
Analizując w podobny sposób rezystory wykonane w warstwie bazy pod emiterem (tak zwane rezystory typu „pinch") otrzymać można dla nich znormalizowane wykresy TWR w funkcji iloczynu rezystancji na kwadrat warstwy bazy pod emiterem $R_{\square BE}$ i długości drogi dyfuzji bazy L_B, przy stosunku $x_{EB}/2L_B$ jako parametrze, gdzie x_{EB} jest odległością złącza emiter-baza od powierzchni. Wyniki tych obliczeń przedstawione są na rysunku 2.7. Wpływ



Rys. 2.5. Zależność temperaturowego współczynnika rezystancji rezystorów wykonanych w warstwie bazy od koncentracji powierzchniowej N_p



Rys. 2.6. Zależność temperaturowego współczynnika rezystancji rezystorów wykonanych w warstwie bazy od iloczynu $R_{\square B} \times L_B$



Rys. 2.7. Zależność temperaturowego współczynnika rezystancji dla rezystorów wykonanych w warstwie bazy pod emiterem od iloczynu $R_{\square BE} \times L_B$

współczynnika segregacji nie jest w tym przypadku istotny. Normalizacja tych wykresów możliwa jest jedynie przy przyjęciu skokowego charakteru złącza emiter-baza. Oznacza to, że w obliczeniach pominięto częściową kompensację domieszek typu p w warstwie bazy przez domieszki typu n, które przedyfundowały z emitera do bazy. Faktyczne wartości rezystorów i współczynniki TWR są dla tego przypadku nieco większe.

Analogiczne obliczenia dla rezystorów wykonanych w warstwie emitera są również możliwe. Jednak w tym przypadku problematyczna byłaby praktyczna przydatność otrzymanych w wyniku tych obliczeń wykresów, ze względu na silne zdefektowanie warstw dyfuzyjnych na skutek procesu dyfuzji prowadzonego przy dużych koncentracjach powierzchniowych domieszek i stąd znaczne różnice pomiędzy parametrami krzemu jednorodnego i warstwy dyfuzyjnej.

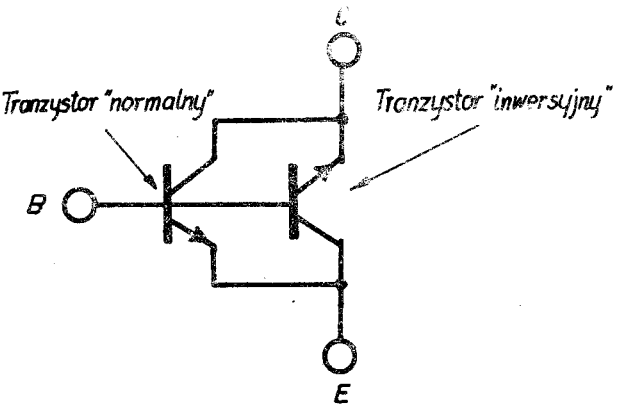
Uzyskane wyniki dają możliwość określania właściwości temperaturowych rezystorów dyfuzyjnych typu p, jak również, co jest nie mniej istotne, pozwalają na szacowanie parametrów technologicznych warstwy na podstawie pomiaru $R_{\square B}$ i TWR. Dla przykładu korzystając z wykresów przedstawionych na rysunkach 2.5 i 2.6, oraz znając $R_{\square B}$ i TWR warstwy dyfuzyjnej bazy, można określić koncentrację powierzchniową domieszek i długość drogi dyfuzji dla tej warstwy. Metoda ta może okazać się również przydatna przy identyfikacji parametrów technologicznych po przez pomiary wartości rezystorów i ich temperaturowego współczynnika rezystancji w wykonanych układach scalonych.

2.3. Tranzystory

Komputerowe metody analizy układów elektronicznych wymagają stosowania możliwie dokładnych modeli matematycznych, opisujących zjawiska zachodzące w rzeczywistych elementach układu.

Znane teoretyczne modele tranzystorów, jak na przykład model Ebersa-Molla [2.9], Beaufoy-Sparke [2.2], lub model Linvila [2.25], wymagają szeregu modyfikacji w celu ich praktycznego wykorzystania przy komputerowej analizie układów. Znanym i dotychczas najbardziej rozbudowanym modelem tranzystora jest model Fosuma [2.10], jakkolwiek jego istotną usterką jest znaczna rozbudowa schematu zastępczego tranzystora, powodująca rozbudowę analizowanego układu i znaczne wydłużenie obliczeń. Wadą większości modeli jest nieuwzględnienie wpływu temperatury, co dotyczy również modelu Fosuma.

W niniejszej pracy przyjęto sposób opisu tranzystora bardzo wygodny dla celów komputerowej analizy polegający na tym, że tranzystor w obszarze aktywnym, w programie komputerowej analizy, opisany jest jedynie przez dwa parametry a_{21} i $\delta = 1/\beta$. Wartości tych parametrów są obliczane po każdym kroku iteracji na podstawie aktualnych wartości napięć, prądów i temperatury elementu przy wykorzystaniu zależności, w których współczynniki są inne parametry tranzystora. Dla uproszczenia procesu modelowania tranzystor rzeczywisty w obszarze nasycenia traktuje się jako połączenie dwóch tranzystorów „normalnego" i „inwersyjnego", pracujących tylko w obszarze



Rys. 2.8. Schemat zastępczy tranzystora rzeczywistego z wykorzystaniem dwóch tranzystorów pracujących tylko w obszarze aktywnym

aktywnym lub odcięcia (rys. 2.8) co pozwala na ograniczenie modelowania tylko do obszaru aktywnego.

Jak już wyżej wspomniano, charakterystyki tranzystora można w pierwszym przybliżeniu opisać z wykorzystaniem tylko dwóch charakteryzujących tranzystor parametrów. Związki pomiędzy prądami i napięciami tranzystora mają w tym przypadku postać:

$$I_C = a_{21} \exp\left(\frac{V_{EB}}{V_T}\right) \tag{2.29}$$

$$I_B = \delta\, I_C \tag{2.30}$$

$$I_E = I_B + I_C \tag{2.31}$$

gdzie:

I_C, I_B, I_E - odpowiednio prądy kolektora, bazy i emitera,
V_{EB} - napięcie emiter-baza,
$V_T = kT/q$ - potencjał termiczny,
T - temperatura bezwzględna.

Stworzenie dokładnego modelu tranzystora sprowadza się do podania dodatkowych relacji uzależniających parametry δ i a_{21} od aktualnych prądów, napięć i temperatury tranzystora. Przy tworzeniu tych zależności należało wybrać kompromis pomiędzy złożonością modelu, a dokładnością opisu tranzystora.

Jednym ze zjawisk, modelowanych dotychczas w sposób niepełny, jest efekt oddziaływania napięcia kolektor-emiter na charakterystyki tranzystora, zwany też efektem Earlego. Zmodyfikowany model tranzystora z uwzględnieniem tego efektu zaproponowali Lindholm i Hamilton [2.24]. Wspomniani autorzy uważali, że dla uwzględnienia tego efektu wystarczy uzależnić współczynnik wzmocnienia prądowego β od napięcia kolektor-emiter V_{CE}.

$$\beta = \beta_0 \left(1 + \frac{V_{CE}}{V_A}\right) \tag{2.32}$$

gdzie:

V_A - parametr zwany „napięciem Earlego".

Inną zależność $\beta(V_{CE})$ podał White [2.31], zaś Van der Ziel [2.30] analizował warunki występowania napięcia Earlego. Ostatnio wpływ konstrukcji tranzystora na wartość napięcia Earlego analizował Malone [2.34]. Modele efektu Earlego, opisywane przez tych autorów, słuszne są tylko przy I_B = = const i mogą być stosowane jedynie przy analizie tranzystorów pracujących w układzie z wymuszonym prądem bazy. Ich znaczenie praktyczne jest zatem niewielkie. Dla poprawnego zamodelowania efektu Earlego należy zarówno współczynnik wzmocnienia δ, jak i współczynnik α_{21}, uzależnić od napięcia kolektor-emiter. Przyjmując w pierwszym przybliżeniu liniową aproksymację tych zależności możemy napisać:

$$a_{21}(V_{CE}) = a_{210} \cdot (1 + a\, V_{CE}) \tag{2.33}$$

$$\delta(V_{CE}) = \frac{\delta_0}{(1 + b\, V_{CE})} \tag{2.34}$$

$$a \stackrel{\text{def}}{=} \left.\frac{\frac{d I_C}{d V_{CE}}}{I_C}\right|_{V_{EB} = \text{const}} \tag{2.35}$$

$$b \stackrel{\text{def}}{=} \left.\frac{\frac{d I_C}{d V_{CE}}}{I_C}\right|_{I_B = \text{const}} \tag{2.36}$$

Metoda pomiaru współczynników a i b wynika z zależności (2.35) i (2.36).

W opracowanym modelu tranzystora, którego szczegółowe omówienie zawierają pracę [A.23] [A.30], uwzględniono zależność wzmocnienia tranzystora od prądu i temperatury, a także ujęto zjawiska rekombinacji powierzchniowej i częściowo efekty występujące przy dużych prądach. Podano dokładny opis zależności napięcia emiter-baza tranzystora od prądu i temperatury, oraz brano pod uwagę rezystancje rozproszone tranzystora i efekt Earlego. Pominięto wpływ temperatury na rezystancje rozproszone tranzystora i na efekt Earlego. Zjawisko wewnętrznego sprzężenia termicznego przy opisie efektu Earlego uwzględniane jest bowiem automatycznie w programie analizy układu przy traktowaniu temperatury tranzystora jako zmiennej, której wartość zależy od wydzielonej w tranzystorze mocy.

W przedstawionym modelu tranzystora nie uwzględniono prądów zerowych tranzystora i efektów związanych z napięciem przebicia złącza. Obydwa te zjawiska przy normalnej pracy tranzystorów są nieistotne. Opis modelu będzie pełny, jeżeli zależności (2.29), (2.30), (2.31) zostaną uzupełnione

relacjami określającymi wartości współczynników a_{21} i δ. W przyjętym modelu wartość parametru a_{21} oblicza się z zależności:

$$a_{21} = (1 + a\,V_{CE}) \left(k_a\, T^3 \exp \frac{-E_g - R_E^* I_C}{V_T} \right) \tag{2.37}$$

gdzie:

V_{CE} - napięcie kolektor-emiter,
T - temperatura bezwzględna,
a - współczynnik uwzględniający wpływ napięcia kolektor-emiter na charakterystyki wejściowe tranzystora,
E_g - szerokość przerwy energetycznej w krzemie,
R_E^* - efektywna rezystancja szeregowa,

$$R_E^* = R_E (1 + \delta) + R_B \delta \tag{2.38}$$

k_a - współczynnik proporcjonalny do powierzchni złącza emiter-baza i odwrotnie proporcjonalny do ładunku domieszek w bazie dany zależnością

$$k_a = \frac{S_{EB}\, N_V\, N_C\, q\, D_{nB}}{T_o^3 \int_{x_{EB}}^{x_{BC}} N_B(x)\, dx} \tag{2.39}$$

Współczynniki a, R_E^*, k_a są parametrami modelu, których wartości określane są indywidualnie dla każdego tranzystora. Można zauważyć, że rezystancje szeregowe tranzystora są uwzględnione w wartości współczynnika a_{21}. Podejście takie jest bardzo istotne, gdyż powoduje eliminacje znacznej liczby węzłów w układzie, które należałoby uwzględniać w analizie, gdyby na schemacie analizowanego układu pozostawić rezystancje szeregowe tranzystora.

Wartość parametru δ oblicza się z zależności:

$$\delta = \frac{k_R \exp\left(m_R \frac{V_{EB} - E_R}{V_T}\right) + \delta_o \left[1 + t_\delta (T - T_o)\right] + k_h \exp\left(m_h \frac{V_{EB} - E_h - R_E^* I_E}{V_T}\right)}{1 + b\, V_{CE}} \tag{2.40}$$

gdzie:

V_{EB} - napięcie emiter-baza,
$T_o = 293^oK$ - temperatura odniesienia,
m_R, E_R, K_R - współczynniki opisujące wpływ zjawisk rekombinacyjnych na wzmocnienie tranzystora,
m_h, E_h, k_h - współczynniki opisujące zjawiska przy dużych prądach,
δ_o, t_δ - współczynniki opisujące zależności wzmocnienia tranzystora od zjawisk wstrzykiwania emitera i transportu nośników przez bazę,

b - współczynnik dla uwzględnienia wpływu napięcia kolektor-emiter na wzmocnienie prądowe tranzystora.

Współczynniki m_R, E_R, k_R, m_h, E_h, k_h, δ_o, t_δ są eksperymentalnie dobranymi parametrami modelu. Wyrażenie w liczniku zależności (2.40) określającej parametr δ jest sumą trzech składników opisujących ten parametr dla zakresu małych, średnich i dużych prądów kolektora.

Należy podkreślić, że możliwa jest dalsza rozbudowa przedstawionego stałoprądowego, nieliniowego modelu tranzystora. Dla zamodelowania obszaru bardzo dużych prądów kolektora należałoby zmodyfikować dodatkowo zależność (2.37) opisującą parametr a_{21}. Możliwe jest przy tym łączne traktowanie efektu nierównomierności gęstości prądu w złączu emiter-baza oraz efektu modulacji konduktywności bazy. Rozpatrując ten ostatni efekt można zauważyć, że ładunek elektronów wstrzykniętych z emitera do bazy $Q_i = I_C \tau$ sumuje się z ładunkiem akceptorów w bazie $Q_a = \int_{x_{EB}}^{x_{BC}} N(x)\,dx$, ograniczając tym samym sprawność wstrzykiwania emitera. Dla zakresu bardzo dużych prądów $Q_i \gg Q_a$ i słuszna jest zależność:

$$I_C = \frac{K_1}{\tau_p I_C} \exp\left(\frac{V_{EB} - E_g - R_E^* I_C}{V_T}\right) \tag{2.41}$$

lub

$$I_C = \sqrt{\frac{K_1}{\tau_p} \exp\left(\frac{V_{EB} - E_g - R_E^* I_C}{V_T}\right)} \tag{2.42}$$

gdzie:

K_1 - współczynnik proporcjonalności,

τ_p - czas przelotu elektronów przez bazę.

Dla celów modelowania efektu nierównomierności rozpływu prądu bazy najwygodniej jest przyjąć model rezystancji rozproszonej bazy podany przez Grodendijk'a [2.12]. Schemat zastępczy rezystancji rozproszonej bazy dla tranzystora z jednym doprowadzeniem bazy przedstawiony jest na rysunku 2.9a. Dla dużych prądów bazy (a tylko w tym zakresie wpływ rezystancji bazy jest istotny), model ten można uprościć do postaci podanej na rys. 2.9b i prąd kolektora wyrazić równaniem:

$$I_C = K_2 \exp\left[\frac{V_{EB} - E_g - R_E I_C - V_T \ln\left(\frac{I_B R_B}{2 V_T}\right)}{V_T}\right] \tag{2.43}$$

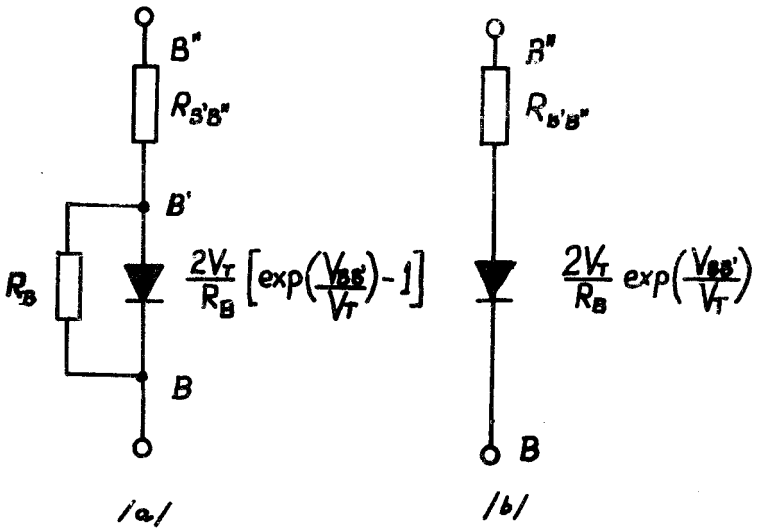
Po przekształceniu równanie to będzie miało postać:

$$I_C = \sqrt{\frac{2 K_2 \delta V_T}{R_B} \exp\left(\frac{V_{EB} - E_g - R_E^* I_C}{V_T}\right)} \tag{2.44}$$

gdzie:

K_2 - współczynnik proporcjonalności,

R_B - całkowita rezystancja obszaru bazy pod emiterem.



Rys. 2.9. Sposób zamodelowania rezystancji rozproszonej bazy z uwzględnieniem nierównomierności rozpływu prądu bazy, (a) model Groendijk'a, (b) model uproszczony

Porównując zależności (2.42) i (2.44) można zauważyć, że efekt związany z nierównomiernością rozpływu prądu bazy i efekt modulacji konduktywności obszaru bazy modyfikują w podobny sposób zależność prądów tranzystora od napięcia emiter-baza. Tak więc, przy tworzeniu modelu tranzystora wygodnie jest operować wspólnymi wypadkowymi parametrami dla obydwu tych zjawisk.

Przy analizie małosygnałowej i analizie stanów przejściowych należy w modelu tranzystora uwzględnić elementy pojemnościowe. Przy traktowaniu tranzystora jako elementu o stałych skupionych zagadnienie jest stosunkowo proste. Do schematu zastępczego tranzystora w obszarze aktywnym zależy dołączyć elementy pojemnościowe, takie jak: pojemność złączowa zależna od napięcia na złączu emiter-baza, pojemność dyfuzyjna proporcjonalna do prądu nośników wstrzykniętych z emitera do bazy i pojemność złączowa zależna od napięcia na złączu baza-kolektor. Dla typowych konstrukcji tranzystorów wykonanych metodą podwójnej dyfuzji pojemności złączowe : emiter-baza można aproksymować zależnością odwrotnie proporcjonalną do pierwiastka trzeciego stopnia z napięcia, zaś baza-kolektor, zależnością odwrotnie proporcjonalną do pierwiastka drugiego stopnia z napięcia.

Przy modelowaniu tranzystora w obszarze nasycenia oraz dla pracy w kierunku inwersyjnym, istotne jest wprowadzenie pojemności dyfuzyjnej włączonej pomiędzy bazę i kolektor tranzystora. Pojemność ta zależy zarówno od prądu nośników wstrzykiwanych z kolektora do bazy jak i z bazy do kolektora.

$$C_{di} = \frac{1}{V_T}\left(\tau_{pi} I_n + \bar{\tau}_{zc} I_p\right) \qquad (2.45)$$

gdzie:

τ_{pi} - czas przelotu nośników przez bazę w kierunku inwersyjnym,
τ_{zc} - czas życia nośników mniejszościowych w obszarze kolektora,
I_n - prąd nośników wstrzykiwanych z kolektora do bazy,
I_p - prąd nośników wstrzykiwanych z bazy do kolektora.

W oparciu o wprowadzone wcześniej współczynniki a i b można określić wartości konduktancji małosygnałowego modelu tranzystora typu mieszane - π, przedstawionego na rys. 2.10, dla konfiguracji ze wspólnym emiterem, gdzie:

$$g_1 = I_c \delta \left(\frac{1}{V_T} + a - b\right) \approx \frac{I_c \delta}{V_T} \tag{2.46}$$

$$g_2 = I_c \delta (b - a) \tag{2.47}$$

$$g_3 = I_c [a + \delta (a - b)] \approx I_c a \tag{2.48}$$

$$g_m = I_c \left[\frac{1}{V_T} + (b - a)\delta\right] \approx \frac{I_c}{V_T} \tag{2.49}$$

Dla tranzystorów wykonanych metodą podwójnej dyfuzji o wartości współczynnika wzmocnienia decyduje sprawność wstrzykiwania i dlatego można przyjąć, że dla dużych częstotliwości a ≈ b i pominąć w układzie zastępczym istnienie przewodności g_2. W trakcie pomiarów współczynnika a, zauważono znaczny wzrost tego współczynnika przy dużych prądach kolektora i niewielkich częstotliwościach pomiaru. Wynika to z istnienia efektu wewnętrznego sprzężenia termicznego. Wzrost prądu kolektora powoduje kolejno wzrost wydzielonej mocy, wzrost temperatury złącza i zmianę charakterystyk wejściowych tranzystora.

Współczynnik a dla zakresu częstotliwości od kilku do kilkuset Hz można wyrazić empiryczną zależnością:

$$a = a_0 + k_E I_c \ln\left(\frac{f_o}{f}\right) \tag{2.50}$$

Wartość współczynnika f_o zależy od bezwładności cieplnej tranzystora, zaś wartość współczynnika k_E od jego rezystancji termicznej.

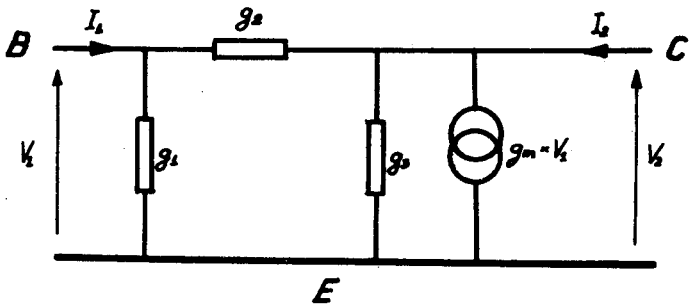
Widocznym się staje fakt, że dla niewielkich częstotliwości, wartość parametru a staje się większa od parametru b i przewodność małosygnałowego modelu tranzystora g_2 przyjmuje wartość ujemną

$$g_2 \approx -I_c^2 \delta K_E \ln\left(\frac{f_o}{f}\right) \tag{2.51}$$

Efekt ten był obserwowany we wszystkich mierzonych tranzystorach.

Do nowych specyficznych cech tego modelu w porównaniu ze znanymi dotychczas modelami zaliczyć można:

1. Przyjęcie opisu tranzystora słusznego tylko w obszarze aktywnym i odcięcia. Tranzystor w nasyceniu modelowany jest przy pomocy dwóch tranzystorów pracujących w obszarze aktywnym. Bipolarne układy scalone, w celu



Rys. 2.10. Małosygnałowy schemat zastępczy tranzystora

eliminacji aktywnych elementów pasożytniczych, projektowane są zwykle w ten sposób, żeby uniknąć pracy tranzystorów w obszarze nasycenia. (Wyjątkiem są niektóre układy cyfrowe). Stosowanie więc w tym przypadku przedstawionego w niniejszej pracy modelu tranzystora prowadzi do znacznego skrócenia obliczeń.

2. Operowanie współczynnikiem $\sigma = 1/\beta$ pozwala na niezależny opis różnych właściwości wzmacniających tranzystora w zakresie małych, średnich i dużych wartości prądów kolektora. Wypadkowy współczynnik σ jest sumą tych trzech elementów składowych, co upraszcza proces jego obliczania.

3. Uwzględnienie w modelu wpływu temperatury w szerokim zakresie prądów tranzystora. Dla małych i średnich wartości prądów tranzystora jego wzmocnienie rośnie wraz z temperaturą, zaś w zakresie dużych prądów maleje. Fakt ten nie był dotychczas uwzględniany w komputerowych modelach tranzystorów. Robione były próby aproksymacji temperaturowej parametru wzmocnienia prądowego β, przy czym wprowadzano tu zależność liniową słuszną praktycznie tylko dla zakresu średnich prądów kolektora. W tym przypadku zależność parametru β od prądu uwzględniono bądź przez aproksymację wielomianową [2.14], [2.23], bądź też przez zależność dobraną empirycznie [2.31].

4. Przyjęcie opisu tranzystora w programie komputerowej analizy przy pomocy tylko dwóch parametrów σ i a_{21}, które mogą być aktualizowane w każdym kroku iteracyjnego rozwiązania układu. Rezystancje szeregowe bazy i emitera zostały w sposób formalny włączone do współczynnika a_{21} (patrz zależności (3.37), (3.38)). Podejście takie powoduje znaczną eliminację liczby węzłów w układzie, choć nie jest to możliwe dla każdego tranzystora. Jeżeli zachodzi zależność:

$$R_E^* \; I_E > \frac{kT}{q} \tag{2.52}$$

to proces analizy może okazać się rozbieżny.

5. Pełne zamodelowanie efektu oddziaływania napięcia kolektor-emiter uwzględniające zarówno wpływ V_{CE} na współczynnik wzmocnienia tranzystora, jak również na jego charakterystyki wejściowe, oraz podanie małosygnałowego modelu tranzystora uwzględniającego ten fakt, powiązanego z modelem stałoprądowym.

6. Zaproponowanie sposobu rozszerzenia modelu tranzystora z uwzględnieniem efektów przy bardzo dużych prądach kolektora takich jak: nierównomierność gęstości prądu w złączu emiter-baza oraz modulacja konduktywności obszaru bazy.

Odrębnymi zagadnieniami o bardzo dużym znaczeniu są metody określania parametrów modelu tranzystora, ich pomiar i optymalny dobór. Istnieje kilka sposobów podejścia do zagadnienia określania parametrów modelu tranzystora:

1. Opracowanie specyficznych metod pomiarowych pozwalających na bezpośrednie wyznaczanie parametrów modeli z pomiarów. Okazuje się jednak, że znane metody pomiarowe nie pozwalają na wyznaczenie wszystkich parametrów modelu. Przykładem może być wyznaczanie rezystancji szeregowej kolektora, istotnej przy pracy tranzystora w obszarze nasycenia. Nowa metoda pomiaru tej rezystancji przedstawiona jest w dalszej części tego rozdziału.

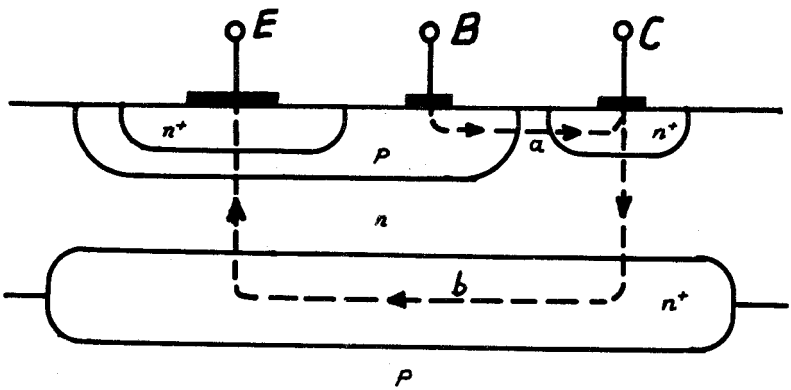
2. Wykorzystanie komputerowych metod określania parametrów modeli na podstawie wyników pomiarów prowadzonych w ten sposób, by wynik każdego z pomiarów w miarę możliwości zależał w istotny sposób od jednego parametru modelu. Takie pomiary pozwalają na uproszczenie algorytmów służących do znajdywania optymalnych parametrów modelu tranzystora, co prowadzi w konsekwencji do znacznego skrócenia czasu obliczeń. Jest to zagadnienie wbrew pozorom bardzo istotne, bowiem proces określania parametrów modelu sprowadza się zawsze do wymagającego żmudnych obliczeń numerycznych znajdywania minimum funkcji wielu zmiennych.

3. W przypadku, gdy model tranzystora jest przybliżony, bądź to ze względu na prostotę przyjętego modelu, bądź też ze względu na niemożliwość ścisłego zamodelowania powstaje problem tworzenia modelu słusznego tylko w określonym obszarze napięć, prądów i częstotliwości. Najkorzystniejszymi metodami pomiarowymi w tym przypadku, (dotyczy to głównie określania parametrów modelu małosygnałowego), są pomiary prowadzone w układach o znanych elementach, których konfiguracja jest podobna do układu, gdzie ma być zastosowany model tranzystora. Problem ten sprowadza się do wyznaczenia elementów układu zastępczego tranzystora na podstawie pomiarów charakterystyk układu, którego jedynymi nieznanymi elementami są właśnie elementy modelu tranzystora. Metoda ta daje najlepsze wyniki, ale proces znajdywania parametrów modelu wymaga bardzo długich i żmudnych obliczeń komputerowych.

Jak już wspomniano wyżej, specyficzne metody pomiaru parametrów tranzystorów mają zastosowanie nie tylko do bezpośredniego ich wyznaczania, ale również wykorzystywanie tych metod pomiarowych powoduje znaczne skrócenie komputerowych obliczeń dla uzyskania optymalnych parametrów modelu tranzystora.

W pracy [A.25] wykazano, że znane metody pomiaru rezystancji rozproszonej kolektora [2.11], [2.16], [2.22], [2.23], dotyczy to również późniejszych publikacji [2.5], [2.18], mają bardzo ograniczone zastosowanie, nie dają jednoznacznego a nawet często prowadzą do błędnego wyniku i praktycz-

nie nie nadają się do pomiarów tranzystorów w układach scalonych. W znanych metodach pomiarowych wykorzystuje się stan silnego nasycenia tranzystora, a w tym przypadku w tranzystorze układu scalonego prąd kolektora przepływa przez inne obszary, niż przy normalnej pracy tego elementu. Ilustruje to rysunek 2.11. Poniżej przedstawiona jest nowa metoda pomiaru rezystancji szeregowej kolektora, przydatna do pomiaru zarówno tranzystorów indywidualnych jak i scalonych.



Rys. 2.11. Przepływ prądu kolektora w tranzystorze scalonym dla różnych metod pomiaru R_C, a - dla metod wykorzystujących silne nasycenie tranzystora, b - dla aktywnego obszaru pracy

Przy założeniu, że rezystancje szeregowe tranzystora są równe zeru, z równań Ebersa-Molla uzyskuje się zależność na spadek napięcia V^*_{CE} między kolektorem, a emiterem nasyconego tranzystora:

$$V^*_{CE} = V_T \ln \left[(1 + \delta_n) \frac{a_{22}}{a_{11}} \frac{S + \frac{1}{1 + \delta_i} \frac{\delta_i}{\delta_n}}{S - 1} \right] \qquad (2.53)$$

gdzie:

$S = \frac{I_B}{I_c \delta_n}$ - współczynnik nasycenia tranzystora,

δ_n, δ_i - współczynnik tranzystora odpowiednio dla kierunku normalnego i inwersyjnego.

Przyjęcie stałej wartości współczynnika nasycenie tranzystora S = const powoduje, że przy pominięciu słabych zależności δ_n, δ_i, od prądu, spadek napięcia V^*_{CE} na tranzystorze idealnym (bez rezystancji szeregowych) jest stały i nie zależy od wartości prądu tranzystora. Wynika stąd wniosek, że zmiana napięcia V_{CE} tranzystora rzeczywistego ze zmianą prądu, powodowana jest istnieniem rezystancji szeregowych emitera i kolektora, przy czym wartość tej ostatniej odgrywa dominującą rolę.

$$R_C^* = \frac{V_{CE}(I_{c1}) - V_{CE}(I_{c2})}{I_{c1} - I_{c2}} - \frac{R_E}{\delta_n} \tag{2.54}$$

Wartość rezystancji szeregowej emitera R_E można wyznaczyć metodą Kulke i Millera [2.22].

Aby uwzględnić zmianę napięcia nasycenia tranzystora, spowodowaną zależnością współczynnika wzmocnienia prądowego tranzystora od prądu kolektora, należy wartość napięcia nasycenia skorygować o poprawkę ΔC_{CE}^*:

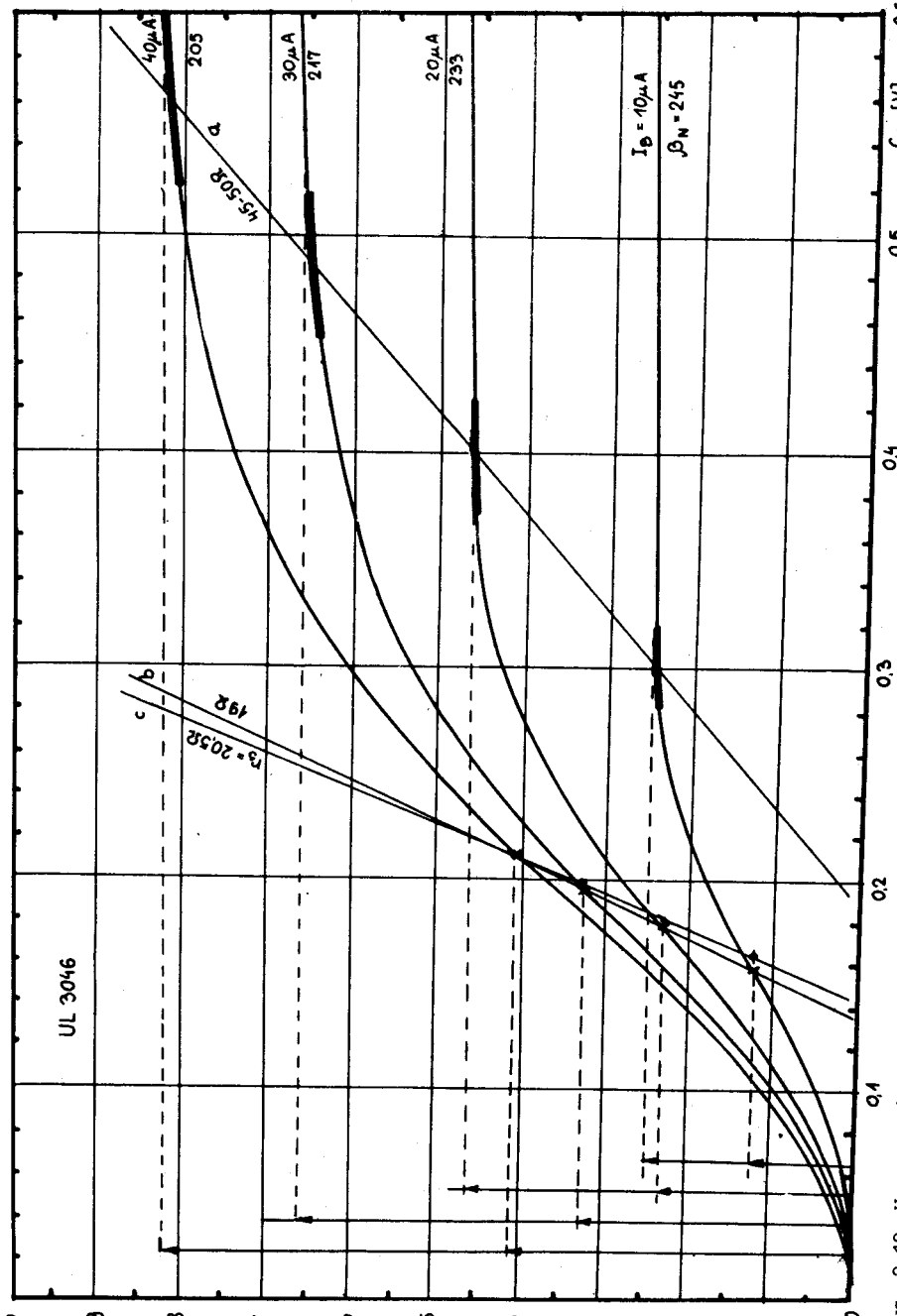
$$\Delta V_{CE}^* = V_T \ln\left[\frac{\delta_n(I_{c2})}{\delta_n(I_{c1})}\right] \tag{2.55}$$

W typowych tranzystorach, dla zakresu średnich wartości prądu kolektora, współczynnik δ_n jest w przybliżeniu stały i uwzględnianie tej poprawki jest czynnością zbędną.

W metodzie wyznaczania rezystancji szeregowej kolektora wykorzystuje się charakterystyki prądu kolektora w funkcji napięcia kolektora przy prądzie bazy jako parametrze. Na tych charakterystykach określa się punkty odpowiadające wartościom prądów kolektora, równym połowie wartości tych prądów dla dużych napięć kolektor-emiter. Łącząc między sobą uzyskane w ten sposób punkty uzyskuje się linie prostą, z której nachylenia wyznacza się wartość rezystancji szeregowej kolektora. Fakt określania punktów na charakterystykach odpowiadających połowie wartości prądów dla dużych V_{CE}, wynika z przyjęcia w metodzie $S = 2$ w celu uproszczenia konstrukcji graficznej. Przykładowy sposób wyznaczania rezystancji szeregowej kolektora przedstawiony jest na rys. 2.12. W przypadku silnej zależności współczynnika wzmocnienia prądowego tranzystora od prądu, należy uwzględnić dodatkową poprawkę daną zależnością (2.55). Szersze wyjaśnienie powyższej metody i jej porównanie z innymi znanymi metodami przedstawione jest w pracy [A.25].

Parametry modelu tranzystora zwykle nie mogą być jednak określone bezpośrednio z pomiarów, a ich wartości można co najwyżej dobrać do wyników przy wykorzystaniu komputerowych metod optymalizacji w ten sposób, aby model jak najlepiej odpowiadał rzeczywistemu tranzystorowi. Jako kryterium optymalizacji najwygodniej jest przyjąć błąd średniokwadratowy. W zależności od zakresu prądów i temperatur, w jakich ma być wykorzystywany model, można operować pojęciem błędu względnego lub bezwzględnego, albo też przyjąć funkcje wagi. W jednej z najbardziej korzystnych, szybkich i ogólnych metod optymalizacji wykorzystuje się minimalizację funkcji wielu zmiennych metodą Flechera-Powela [2.6].

Dysponując konkretnym modelem tranzystora przedstawionym w poprzednim rozdziale można utworzyć specjalne algorytmy optymalizacji w zależności od charakteru funkcji, której wartość ma być minimalizowana. Pozwala to często na skrócenie czasu obliczeń. Poprzez zlogarytmizowanie zależności (2.37) i (2.40) charakter tych funkcji staje się zbliżony do odcinkami liniowego i możliwe jest zastosowanie metody najmniejszych kwadratów. W przy-



Rys. 2.12. Wyznaczanie rezystancji rozproszonej kolektora: a - metoda Hahna, b - metoda stałego, c - z uwzględnieniem poprawki określonej zależnością (2.55)

padku zależności (2.37) wynik uzyskuje się w jednym kroku iteracji. Zależność (2.40) aproksymowana jest kolejno obszarami dla małych, średnich i dużych prądów. Proces powtarza się wielokrotnie przy uwzględnianiu w aktualnie analizowanym obszarze poprawek, wynikających z wartości obliczonych wcześniej parametrów dla pozostałych obszarów. Algorytm ten jest o prawie dwa rzędy wielkości szybszy, niż stosowana równolegle metoda Flechera-Powela. Uzyskane wyniki w obydwu przypadkach różnią się nieznacznie. Szczegółowy opis algorytmów zawiera praca [A.23]. Podane są w niej również wyniki pomiarów charakterystyk kilku typów tranzystorów, oraz obliczone parametry modelu. Stwierdzono dobrą zgodność wyników modelowania z wynikami pomiarów dla zmian prądu kolektora w zakresie trzech dekad i dla temperatur od 233°K do 383°K. Obliczenia parametrów modelu na maszynie „Odra 1204" trwały zależnie od egzemplarza tranzystora od trzech do sześciu minut. Czas ten można uznać za krótki zważywszy na bardzo szeroki zakres zmian prądów i temperatur objęty modelowaniem. Przeprowadzone obliczenia dla ponad stu egzemplarzy tranzystorów bipolarnych kilku typów wykazują dobrą zgodność modelowania z wynikami pomiarów.

2.4. Elementy pasożytnicze

Przy projektowaniu bipolarnych układów scalonych należy również uwzględnić wpływ występujących w tych układach elementów pasożytniczych, które podzielić można na elementy pasywne i aktywne.

Analizując właściwości częstotliwościowe rezystorów dyfuzyjnych trzeba zauważyć, że rezystory te są w rzeczywistości liniami RC o stałych rozłożonych. Przyjmując jednobiegunową aproksymację linii RC, jej częstotliwość graniczną wyrazić można zależnością:

$$f_g = \frac{1}{2\pi RC} = \frac{1}{2\pi R_\square C_j l^2} \tag{2.56}$$

Ponieważ parametry rezystancji na kwadrat $R_\square$ i pojemności jednostkowej złącza C_j izolującego rezystor są określone i stałe dla danej technologii, więc częstotliwość graniczna rezystora jest odwrotnie proporcjonalna do kwadratu jego długości l. W celu zwiększenia częstotliwości granicznej rezystorów należy zmniejszyć ich długość, co w konsekwencji zmusza również do redukcji jego szerokości w. Stosunek l/w wynika bowiem z wartości rezystancji rezystora. Minimalna szerokość w rezystorze ograniczona jest względami technologicznymi, jej zmniejszenie prowadzi do silnego uzależnienia wartości rezystancji od procesu fotolitografii, a tym samym do zwiększenia rozrzutu wartości rezystancji. Ponadto można wykazać, że dla wyeliminowania wpływu fotolitografii na rozrzut wzajemnego stosunku wartości rezystorów, konieczne jest wykonanie wszystkich rezystorów o tej samej szerokości w danym układzie scalonym. Tak więc, szerokość rezystora w może być na równi z parametrami $R_\square$, C_j traktowana jako wielkość stała dla danej technologii. Wyrażenie (2.56) można przekształcić do postaci:

$$f_g = \frac{R_\square}{2\pi C_j w^2 R^2} = \frac{K_w}{w^2 R^2} = \frac{K_R}{R^2} \qquad (2.57)$$

gdzie:

$K_R = \frac{R_\square}{2\pi C_j w^2}$ jest parametrem charakterystycznym dla danej technologii.

Można zauważyć, że częstotliwość graniczna rezystora jest odwrotnie proporcjonalna do kwadratu jego rezystancji. W tablicy 2.1 porównane są właściwości częstotliwościowe różnych typów rezystorów stosowanych w monolitycznych układach scalonych, przy założeniu takich samych szerokości rezystorów równych 10 i 25 μm. Dla przykładu rezystor o szerokości 25 μm wykonany w warstwie bazy o wartości 1 kΩ ma częstotliwość graniczną rzędu 250 MHz, zaś ten sam typ rezystora o wartości 10 kΩ tylko 2,5 MHz. Tak więc, właściwości pasożytnicze rezystorów, na równi z ograniczeniami powierzchni ze względów ekonomicznych, ograniczają od góry wartości rezystancji rezystorów wytwarzanych w układach scalonych i narzucają określoną specyfikę projektowania tych układów.

Pojemności występujące w bipolarnych układach scalonych są funkcjami prądów złącz i napięć występujących na złączach. Zależności te były omawiane w rozdziale 2.3. Jedynym elementem pojemnościowym o stałej pojemności, wykorzystywanym czasami w bipolarnych układach scalonych jest kondensator MOS, którego dolną okładkę stanowi silnie domieszkowana warstwa półprzewodnika typu n^+.

Przy dużych częstotliwościach pracy, w układach scalonych często występują pojemnościowe sprzężenia między elementami układu w wyniku istnienia wspólnej rezystancji szeregowej podłoża. W celu ich minimalizacji wskazane jest czasami zwiększenie koncentracji domieszek w podłożu. Powoduje to oczywiście zwiększenie pojemności pasożytniczych, które są proporcjonalne do pierwiastka koncentracji domieszek, ale również znacznie bardziej wyraźne zmniejszenie rezystancji szeregowej podłoża. Oczywiście najkorzystniejszym rozwiązaniem byłoby stosowanie podłóż o niejednorodnym profilu domieszek, wiązałoby się to jednak z dodatkowym procesem osadzania warstw epitaksjalnych p^-.

Złączowa izolacja elementów układu scalonego wymaga zapewnienia polaryzacji zaporowej izolujących złącz. Warunek ten jest zwykle łatwy do spełnienia w przypadku rezystorów i tranzystorów npn pracujących w obszarze aktywnym. Problem komplikuje się znacznie w przypadkach tranzystorów bocznych pnp, niektórych typów diod, jak również w przypadku pracy tranzystora npn w nasyceniu lub w kierunku inwersyjnym. W tych przypadkach tworzą się aktywne elementy pasożytnicze, którymi są zwykle tranzystory pnp, dla których kolektorem jest podłoże. Eliminacja tych tranzystorów pasożytniczych sprowadza się do sztucznego pogarszania ich właściwości wzmacniających. Możliwe jest to przez wprowadzenie silnie domieszkowanej warstwy zagrzebanej n^+ lub też dodatkowo, jak to ma miejsce w cyfrowych układach

2,1

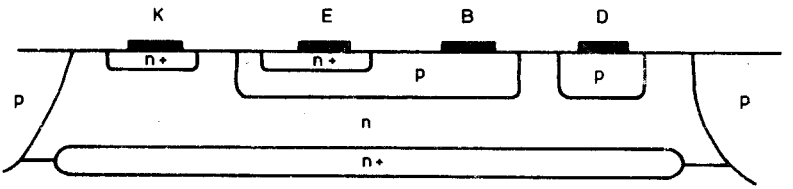
Tablica 2.1

Typ rezystora	$R_{\square}$ [Ω]	C_j [nF/cm²]	K_w k_w [Ω cm²/pF]	K_R k_τ dla w = 10 μm [MHz/k Ω²]	K_R k_τ dla w = 25 μm [MHz/k Ω²]	
w warstwie bazy	100	10	500	500	100	min
	200	20	1600	1600	250	typ
	300	30	5000	5000	800	max
w warstwie emitera	3	100	1,6	1,6	0,25	min
	4	200	3	3	0,5	typ
	6	300	10	10	1,0	max
w warstwie bazy pod emiterem	2000	150	1000	1000	150	min
	7000	200	6000	6000	1000	typ
	40000	300	60000	60000	10000	max
w warstwie izolacji	5	30	4	4	0,6	min
	10	100	15	15	2,5	typ
	15	200	50	50	8,0	max
w warstwie epitaksjalnej	100	3	1600	1600	250	min
	300	7	10000	10000	1500	typ
	1000	10	60000	60000	10000	max
w warstwie zagrzebanej	10	3	150	150	25	min
	15	7	400	400	60	typ
	20	10	10000	1000	150	max

Porównanie właściwości częstotliwościowych rezystorów półprzewodnikowych

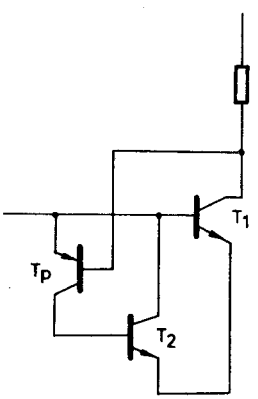
scalonych pracujących z nasycającymi się tranzystorami, poprzez domieszkowanie złotem w celu zmniejszenia czasu życia nośników mniejszościowych.

Istnieje wiele specyficznych zagadnień projektowanych w których, w zależności od potrzeb tranzystory pasożytnicze są likwidowane lub wykorzystywane w układzie. Typowym przykładem wykorzystania elementu pasożytniczego jest tranzystor podłożowy pnp. W niektórych przypadkach możliwe jest wykorzystanie aktywnych elementów pasożytniczych dla skrócenia czasu przełączania tranzystorów [A.33]. Rozważmy przykład struktury przedstawionej na rysunku 2.13, w której do normalnej struktury tranzystora npn wprowadzono dodatkowy obszar typu p wytwarzany jednocześnie z warstwą bazy (o-



Rys. 2.13. Struktura tranzystora npn z dodatkowym obszarem typu p

znaczony na rysunku literą D). Można zauważyć, że już przy bardzo niewielkim nasyceniu się tranzystora npn powstaje tranzystor pasożytniczy pnp, którego emiterem jest baza, a kolektorem obszar dodatkowy D. Ze względu na słabe domieszkowanie warstwy epitaksjalnej i niewielką odległość pomiędzy obszarem bazy i obszarem dodatkowym, wstrzykiwanie dziur w tym kierunku nastąpi wcześniej niż wstrzykiwanie dziur w obszar kolektora. Wykorzystując w układzie scalonym prąd wpływający do obszaru dodatkowego D, jako sygnał do układu zwierającego złącze emiter-baza tego tranzystora, można zapobiec nasyceniu się tego tranzystora, a tym samym wydatnie zwiększyć jego szybkość przełączania bez potrzeby zmniejszania czasu życia nośników mniejszościowych. Jednym z możliwych zastosowań jest układ przedstawiony schematycznie na rysunku 2.14. Jego cechą charakterystyczną jest to, że zanim tranzystor T_1 wejdzie w nasycenie, włącza się tranzystor pasożytniczy T_p, który poprzez tranzystor T_2 zwiera prąd sterujący tranzystorem T_1 i zapobiega jego nasyceniu się. Układ ten jest o tyle korzystniejszy od stosowanych czasami diod Schotkiego, że nie wymaga dodatkowych procesów technologicznych.



Rys. 2.14. Schemat układu z wykorzystaniem struktury z rysunku 2.13 i dodatkowego tranzystora T_2

3. ANALIZA UKŁADÓW

Układy cyfrowe i liniowe analizuje się zazwyczaj odmiennie. W przypadku układów cyfrowych prowadzi się jednorazowo szczegółową analizę podstawowego elementu (bramki logicznej lub komórki pamięci), a następnie przy tworzeniu układów cyfrowych średniej lub dużej skali integracji wykorzystywane są metody syntezy cyfrowych układów logicznych. Natomiast przy układach liniowych niezbędne jest prowadzenie każdorazowo złożonej nieliniowej analizy rozbudowanych układów.

Przybliżone metody nieliniowej analizy bazują na odcinkami liniowej aproksymacji charakterystyk tranzystorów, co pozwala na przybliżoną analizę stosunkowo złożonych układów. Przykładem tego może być analiza bramek TTL przedstawiona przez autora w pracy [A.8]. Metoda ta pozwala na uzależnienie parametrów i charakterystyk zaciskowych układu od parametrów elementów wewnętrznych układów, względnie od uszkodzeń wewnątrz układu [A.9].

Nawet przybliżona nieliniowa analiza dynamiczna układów, jest trudna i pracochłonna. W tym przypadku możliwe jest zastosowanie metod graficznych, czego przykładem może być praca autora [A.1].

Inną możliwością analizy nieliniowych układów dynamicznych jest tworzenie linearyzowanych układów zastępczych, innych dla analizy różnych stanów przejściowych. Ta ostatnia metoda była na przykład stosowana w pracach [A.2], [A.24], [A.26].

Specyfika bipolarnych układów scalonych, wynikająca z faktu tworzenia wszystkich elementów układu w tych samych procesach technologicznych wymaga stosowania kompleksowych metod analizy uwzględniających wpływ parametrów technologicznych na parametry elementów układu oraz uwzględniających rozkład temperatur na powierzchni układu scalonego. Tak kompleksowe metody analizy możliwe są tylko przy wykorzystaniu komputerów. W chwili obecnej złożoność produkowanych układów scalonych jest już tak duża, że analiza tych układów przy wykorzystaniu znanych metod i użyciu niewielkich komputerów jest praktycznie niemożliwa. W rozdziale 3.1 opisana jest nowa metoda komputerowej analizy nieliniowych sieci tranzystorowych, pozwalająca w wielu przypadkach na szybką analizę złożonych układów przy wykorzystaniu niewielkich komputerów.

Dotychczas nie rozwiązanym problemem jest analiza rozkładu temperatur i sprzężeń termicznych w układach scalonych. Efekty termiczne w istotny sposób wpływają na właściwości elementów i układów scalonych. Próby kompleksowej analizy sprzężeń termicznych w układzie scalonym dla przypadku stacjonarnego przedstawiona jest w rozdziale 3.2.

3.1. Efektywna metoda komputerowej analizy układów

Zdecydowana większość komputerowych metod analizy układów wykorzystuje metody analizy węzłowej, w których zlinearyzowany układ opisuje się macierzą [Y]. Macierze te w przypadku rozbudowanych układów charakteryzują się

dużą rzadkością i często dla skrócenia obliczeń komputerowych wykorzystuje się w analizie metody macierzy rzadkich [3.2], [3.7], [3.13], [3.14].

Typowe liniowe bipolarne układy scalone charakteryzują się zwykle niewielką liczbą pętli sprzężenia zwrotnego i wprowadzenie opisu tych układów macierzami łańcuchowymi prowadzi w wielu przypadkach do znacznego skrócenia czasu obliczeń i zmniejszenia obszaru zajmowanej pamięci komputera.

Przy analizie układów nieliniowych w miejsce opisu czwórnika macierzami łańcuchowymi należy wprowadzić nieliniowe zależności o postaci:

$$\begin{aligned} v_1 &= F_{av}(v_2, i_2) \\ i_1 &= F_{ai}(v_s, i_2) \end{aligned} \tag{3.1}$$

oraz

$$\begin{aligned} v_2 &= F_{bv}(v_1, i_1) \\ i_2 &= F_{bi}(v_1, i_1) \end{aligned} \tag{3.2}$$

W układzie elektronicznym, podzielonym na szereg połączonych ze sobą czwórników, posiadamy ogólnie 2 × m niewiadomych, gdzie m jest liczbą występujących czwórników. Napięcia i prądy w każdym z czwórników są jednoznacznie określone, jeżeli określone są dwa jego pobudzenia.

W przypadku, gdy każdy czwórnik opisany jest zależnościami

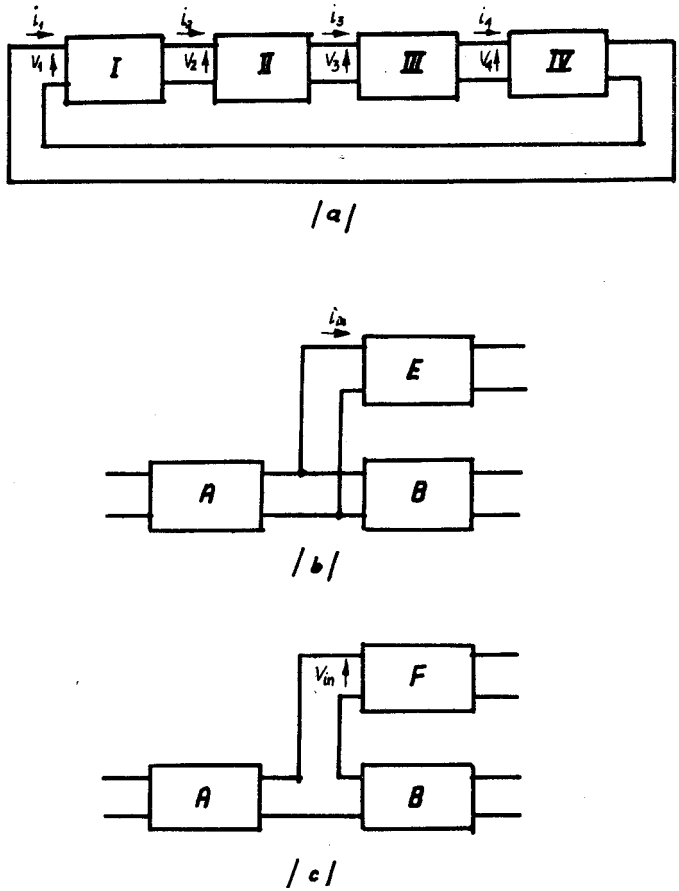
$$\begin{aligned} i_1 &= F_1(v_1, v_2) \\ i_2 &= F_2(v_1, v_2) \end{aligned} \tag{3.3}$$

to liczbę niewiadomych można zredukować do liczby węzłów w układzie. W bardzo rozbudowanych układach liczba węzłów, a tym samym liczba niewiadomych, jest duża i analiza układu na maszynie cyfrowej trwa bardzo długo.

Przy wykorzystaniu opisu czwórnika podanego zależnościami (3.1) i (3.2), liczbę niewiadomych w układzie można zredukować do wartości k + 1, gdzie k - jest liczbą pętli sprzężenia zwrotnego w układzie.

Dla udowodnienia tej tezy rozpatrzmy najpierw układ kaskadowego połączenia czwórników, zamknięty pętlą sprzężenia zwrotnego (rys. 3.1a). Jeżeli dla każdego z czwórników znane są zależności (3.2), to dla określenia wszystkich prądów i napięć w układzie, wystarczy znać prąd i napięcie na wejściu któregokolwiek z czwórników. W przykładzie pokazanym na rys. 3.1a mogą to być v_1 i i_1. Pozostałe prądy i napięcia w układzie obliczyć można dla następnych kolejnych czwórników, korzystając z zależności (3.2) i wiedząc, że obliczony prąd i napięcie wejściowe poprzedniego czwórnika równa się wartości prądu i napięcia wejściowego czwórnika następnego. Minimalna liczba niewiadomych w tym przypadku wynosi 2.

Dołączenie równolegle lub szeregowo (patrz rys. 3.1b i 3.1c) każdej następnej pętli powoduje, że dla określenia napięć i prądów wymagana jest znajomość jeszcze jednego parametru. W przypadku dołączenia równoległego



Rys. 3.1. Połączenia czwórników: (a) w zamkniętą pętlę, (b) równoległe, (c) szeregowe

rys. 3.1b, jest to prąd wejściowy dołączonego czwórnika E, a w przypadku zilustrowanego na rys. 3.1c, jest to napięcie na zaciskach dołączonego czwórnika F. Tak więc, w układzie o k - pętlach sprzężenia zwrotnego, minimalna liczba niewiadomych wynosi k + 1.

W ogólnym przypadku redukcja liczby równań nieliniowych nie zawsze musi prowadzić do uproszczenia i skrócenia obliczeń. Jednakże cechą charakterystyczną typowych układów wzmacniających jest to, że mimo silnie nieliniowych charakterystyk elementów aktywnych, w otoczeniu rozwiązania (punkt pracy) charakterystyki przejściowe układu mają charakter zbliżony do liniowego. Tak więc zredukowany w ten sposób układ równań nieliniowych jest stosunkowo łatwy do rozwiązania. Jakkolwiek metod rozwiązywania układu rów-

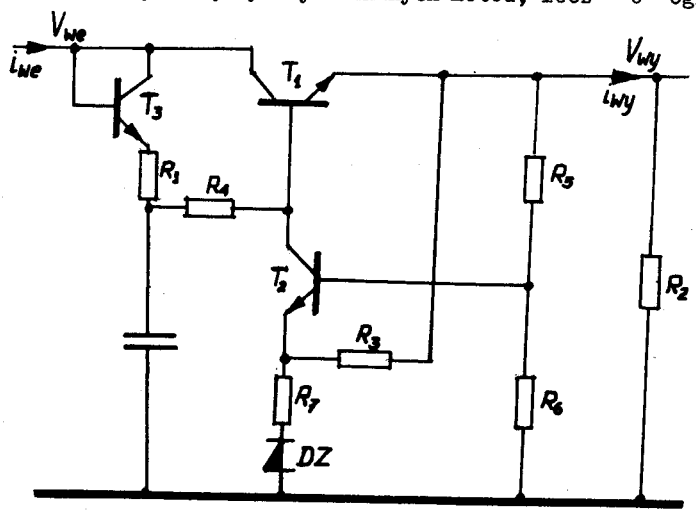
nań nieliniowych jest wiele, to poniżej zostanie opisana metoda szczególnie prosta i efektywna.

Dla układu z jedną pętlą sprzężenia zwrotnego proces liczenia prowadzić można w ten sposób, że przyjmując wartości początkowe prądu i napięcia na wejściu jednego z kaskadowo połączonych czwórników i korzystając ze znanych dla każdego z czwórników zależności (3.3) lub (3.4), oblicza się prądy i napięcia dla kolejnych czwórników, aby w efekcie obliczyć nowe skorygowane wartości przyjętego na początku prądu i napięcia. Proces ten należy powtarzać aż do osiągnięcia wymaganej dokładności rozwiązania.

Korzystając z twierdzenia Lagrange'a o wartości średniej można udowodnić, że koniecznym i dostatecznym warunkiem zbieżności podanej wyżej metody rozwiązania jest, aby wzmocnienie w pętli sprzężenia zwrotnego k_v w kierunku obliczania było mniejsze od jedności.

Można też łatwo dowieść, że wzmocnienia prądowe i napięciowe w zamkniętej pętli sprzężenia zwrotnego są sobie równe. Ponieważ tranzystory są elementami prawie unilaternymi, warunek $k_v < 1$ jest zwykle łatwy do spełnienia, jeżeli tylko proces obliczania prowadzony będzie w stronę przeciwną do kierunku wzmacniania sygnału.

Dla ilustracji metody przeprowadzono analizę układu przedstawionego na rys. 3.2. Aby mieć możliwość porównania wybrano układ analizowany wcześniej [3.16] metodą Newtona-Raphsona. Układ zawiera praktycznie jedną pętlę sprzężenia zwrotnego T_1, T_2, T_5, T_6. Inne podukłady traktowane być mogą jako układy polaryzacji i płynące tam prądy są korygowane po każdym kroku iteracji. Wyniki obliczeń przedstawiono na rys. 3.3. Czas rozwiązywania na maszynie „Odra 1204" wyniósł ok. 0,17 sek. w porównaniu z 65 sekundami dla metody Newtona-Raphsona. Należy przy tym pokreślić, że metoda Newtona-Raphsona jest jedną z najszybszych znanych metod, lecz o ograniczonych



Rys. 3.2. Schemat analizowanego układu [3.16]

```
II= 1    NIEZROWNOWAZENIE PRADOW=+2.137E-01      UWE= 14.000000    UWY= 8.494694    IWE= 68.722438    IWY= 42.474669
II= 2    NIEZROWNOWAZENIE PRADOW=+4.714E-02      UWE= 14.000000    UWY= 8.494899    IWE= 68.530585    IWY= 42.474693
II= 3    NIEZROWNOWAZENIE PRADOW=+1.039E-02      UWE= 14.000000    UWY= 8.494935    IWE= 68.683563    IWY= 42.474676
II= 4    NIEZROWNOWAZENIE PRADOW=+4.607E-05      UWE= 14.000000    UWY= 8.494934    IWE= 68.684566    IWY= 42.474671
II= 5    NIEZROWNOWAZENIE PRADOW=+1.593E-06      UWE= 14.000000    UWY= 8.494934    IWE= 68.684610    IWY= 42.474671
II= 6    NIEZROWNOWAZENIE PRADOW=+2.980E-08      UWE= 14.000000    UWY= 8.494934    IWE= 68.684608    IWY= 42.474671
II= 7    NIEZROWNOWAZENIE PRADOW=+1.865E-09      UWE= 14.000000    UWY= 8.494934    IWE= 68.684608    IWY= 42.474671

CZAS ROZWIAZANIA        .1671 SEKUNDY


PUNKT PRACY

T=300.00   UT= 25.50MV   UBB=14.000

TRANZYSTOR  1      UC= 14.000  UB=  9.255  UE=   .000  IC=  45.9486  IB=   .424636  IE=  46.3728  UCE=  5.5051
TRANZYSTOR  2      UC=  9.255  UB=  7.593  UE=  6.891  IC=   2.1118  IB=   .0203H3  IE=   2.1322  UCE=  2.4043
TRANZYSTOR  3      UC= 14.000  UB= 14.000  UE= 13.313  IC=   2.5114  IB=   .024857  IE=   2.5362  UCE=   .6871

REZYSTOR 1      UR( 1) =     .2536      IR( 1) =    2.5362
REZYSTOR 2      UR( 2) =    8.4249      IR( 2) =   42.4747
REZYSTOR 3      UR( 3) =    1.4665      IR( 3) =    2.9367
REZYSTOR 4      UR( 4) =    3.4065      IR( 4) =    2.5362
REZYSTOR 5      UR( 5) =     .0420      IR( 5) =     .0420
REZYSTOR 6      UR( 6) =    7.5529      IR( 6) =     .0419
REZYSTOR 7      UR( 7) =     .0507      IR( 7) =    5.0683


DANE ELEMENTOW UKLADU

PARAMETRY TRANZYSTOROW

N=  1   A0=5.000E-12  A=5.275E-12  FW=  .0100  FI=  .0150  RO=100.0  BETA=100.5  S=  1.00  TR=  .010
N= -2   A0=5.000E-12  A=5.120E-12  FW=  .0100  FI=  .0150  RO=100.0  BETA=103.6  S=  1.00  TR=  .010
N=  3   A0=5.000E-12  A=5.056E-12  FW=  .0100  FI=  .0150  RO=100.0  BETA=101.0  S=  1.00  TR=  .010

WARTOSC REZYSTORO-
R 1=     .1000 KOM    R 2=     .2000 KOM    R 3=     .5000 KOM    R 4=    1.5000 KOM    R 5=    1.0000 KOM
R 6=    8.0000 KOM    R 7=     .0100 KOM
```

Rys. 3.3. Wyniki analizy układu z rys. 3.2.

zastosowaniach ze względu na trudności zapewnienia zbieżności rozwiązania. Czasy analizy podobnych układów na maszynie „Odra 1204" metodą Kurmana [3.10] [3.11] są rzędu części godziny.

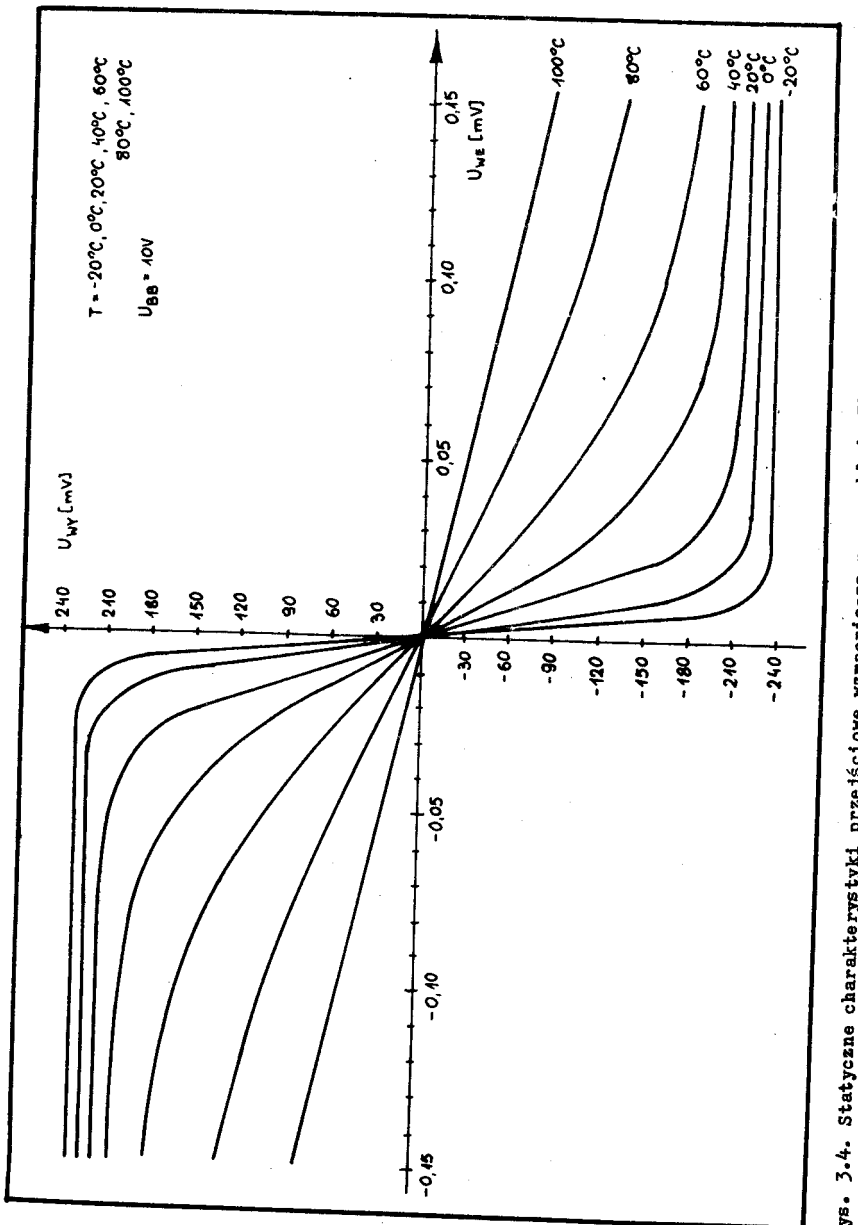
W przypadku układu zawierającego wiele pętli sprzężenia zwrotnego, postępować należy podobnie, przeliczając układ w każdej iteracji po wszystkich pętlach sprzężenia zwrotnego w układzie. Warunkiem koniecznym zbieżności procesu obliczania jest takie dobranie kierunków liczenia w pętlach, aby wzmocnienia dla tych kierunków były mniejsze od jedności. Dostateczny warunek zbieżności rozwiązania ogranicza klasę układów analizowanych tą metodą tylko do tych, w których wzajemne oddziaływania między pętlami sprzężenia zwrotnego są niewielkie. Metoda obliczeń i kryteria zbieżności są analogiczne jak w metodzie rozwiązywania układu równań nieliniowych Gauss'a-Seidl'a. Złożoność obliczeń przy wykorzystaniu opisanej wyżej metody odpowiada skomplikowanym obliczeniom samego procesu linaryzacji równań nieliniowych przy użyciu uniwersalnych programów analizy układów, zbędnym zaś procesem staje się rozwiązywanie układu równań liniowych, proces ten zajmuje komputerowi zwykle najwięcej czasu.

Przy praktycznym wykorzystaniu przedstawionej metody do analizy układów zawierających wzmacniacze różnicowe, procesy analizy są często rozbieżne. Wynika to z faktu występowania dwóch pętli sprzężenia zwrotnego silnie oddziaływujących na siebie. W tych przypadkach uzasadnione jest wprowadzenie dodatkowej transformacji zmiennych. Jako przykład może posłużyć wprowadzenie sygnałów różnicowych i sumarycznych, co pozwala na łatwą analizę układów zawierających wzmacniacze różnicowe.

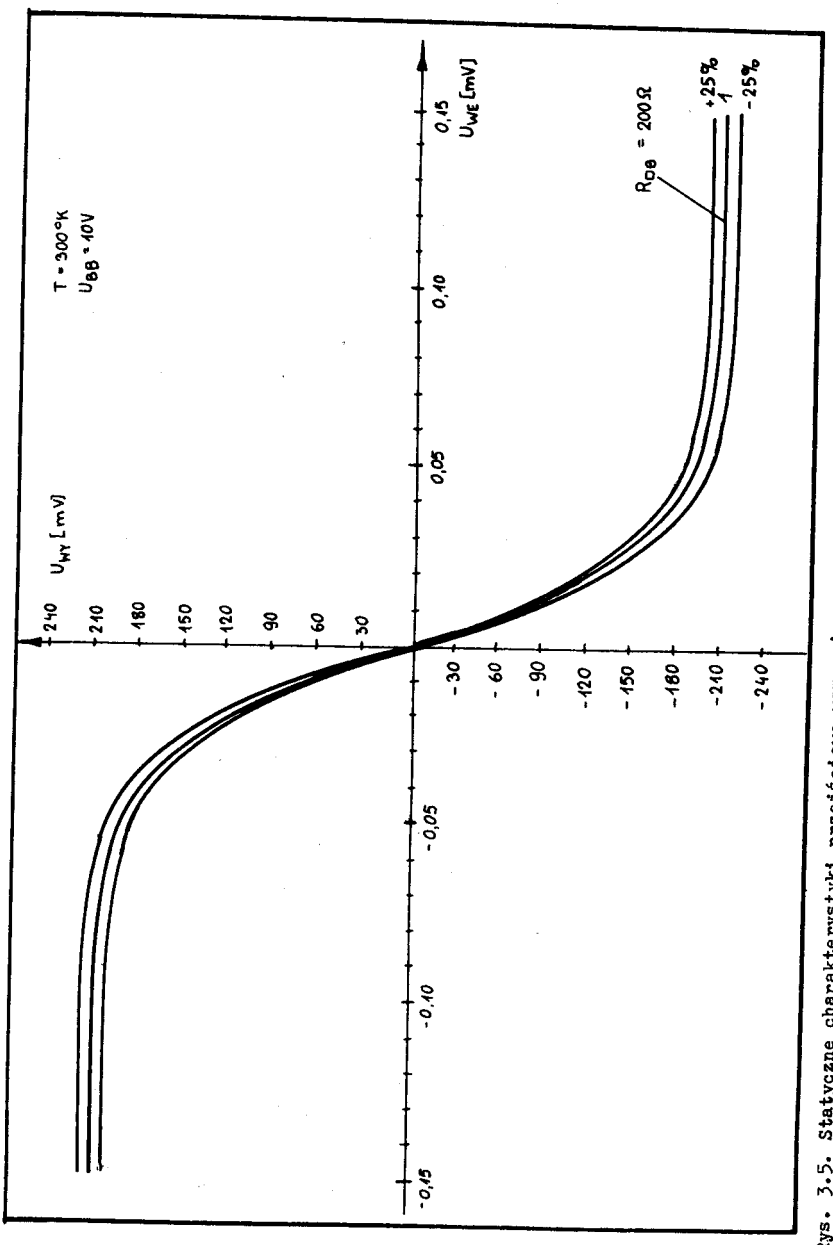
W oparciu o podaną metodę analizowaną złożone układy z kilkudziesięciu tranzystorów. Na przykład analiza stałoprądowa układu TBA 120 czy TAA 350 przy wykorzystaniu prostego modelu tranzystora Ebersa-Molla z uwzględnieniem efektu Earlego zajmowały maszynie „Odra 1204" odpowiednio 9 i 5 sekund [A.18]. Jest to dobry rezultat, gdy weźmie się pod uwagę fakt, że ten niewielki komputer jest o dwa rzędy wielkości wolniejszy niż IBM 370.

Reasumując można powiedzieć, że to nowe podejście do zagadnienia analizy rozbudowanych układów z niewielką liczbą pętli sprzężenia zwrotnego pozwala na znaczną redukcję liczby niewiadomych. W przypadku analizy liniowej skraca znacznie czas obliczeń, a tym samym pozwala na optymalizację szeregu rozbudowanych filtrów. W przypadku analizy nieliniowej warto podkreślić fakt, że zaproponowany sposób redukcji liczby równań nieliniowych nie zwiększa zwykle nieliniowości występujących w otoczeniu rozwiązania, co mogłoby utrudnić proces analizy. Ponadto dla układów, w których wzajemne oddziaływania między pętlami sprzężenia zwrotnego są niewielkie, została opisana efektywna metoda nieliniowej analizy.

Niewątpliwą wadą przedstawionej w tym rozdziale metody komputerowej analizy nieliniowych układów tranzystorowych jest konieczność indywidualnego pisania części programu dla każdego układu, natomiast olbrzymią zaletą jest jej szybkość.



Rys. 3.4. Statyczne charakterystyki przejściowe wzmacniacza p.cz. układu TBA 120 obliczone dla różnych temperatur



Rys. 3.5. Statyczne charakterystyki przejściowe wzmacniacza p.cz. układu TBA 120 obliczone przy zmianach rezystancji na kwadrat warstwy bazy o ±25%

Przy wykorzystaniu podanych w rozdziale 2 zależności, możliwe staje się ocenianie wpływu temperatury i technologii na charakterystyki układowe [A.19], [A.20], [A.21]. Przykładem tego są rys. 3.4 i 3.5, gdzie przedstawiony jest wpływ temperatury, oraz rezystancji na kwadrat warstwy bazy na charakterystyki przejściowe wzmacniacza układu scalonego TBA 120 obliczone z wykorzystaniem komputera.

3.2. Metoda uwzględniania sprzężeń termicznych w układach scalonych

Jedną ze specyficznych cech monolitycznych układów scalonych są wewnętrzne sprzężenia termiczne. Nierzadko są one przyczyną niekorzystnych zmian parametrów elementów wewnętrznych układu, często też pozwalają na kompensowanie zjawisk temperaturowych w układzie, a tym samym na realizacje w technice monolitycznej układów o lepszych właściwościach niż układy zbudowane z elementów indywidualnych. Pierwszą pracą, w której autorzy starali się w sposób kompleksowy uwzględnić efekty elektrotermiczne w analizie układów scalonych jest niedawno opublikowana praca Fukanori i Graya [3.5]. Zastosowano tam do badania sprzężeń termicznych jedynie dwuwymiarową numeryczną analizę metodą różnic skończonych, z tego względu jej wyniki nie mogą być zadawalające. Istnieje szereg przyczyn, o których będzie mowa poniżej, dlaczego problem sprzężeń termicznych w układach scalonych nie został dotychczas rozwiązany.

Złożone kształty elementów i różna ich lokalizacja na płytce sprawiają, że niemożliwe jest ogólne, analityczne rozwiązanie tego zagadnienia. Dotychczas analityczne rozwiązanie równania różniczkowego Laplace'a, opisującego przepływ ciepła w układzie, podano jedynie dla bardzo prostych przypadków [3.1], [3.6], [3.9], [3.12].

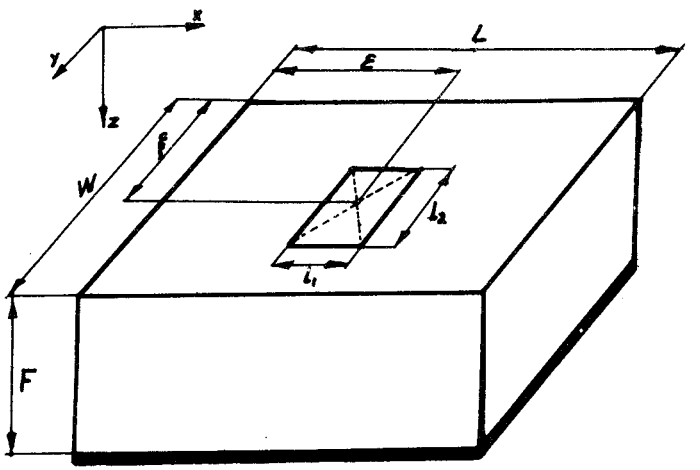
Numeryczne rozwiązanie równania różniczkowego Laplace'a w trzech wymiarach sprowadza się do wpisania w płytkę krzemu trójwymiarowej siatki przestrzennej i rozwiązania liczby równań liniowych odpowiadających liczbie węzłów tej siatki. Przykładowo dla płytki krzemu o rozmiarach 1000x1000x300 μm (mała skala integracji) i przyjęciu stałej sieci równej 20 μm (mała dokładność), otrzymuje się układ 37500 równań. Jakkolwiek możliwe jest iteracyjne rozwiązywanie tych równań, wymaga to jednak olbrzymich pamięci i bardzo długiego czasu obliczeń. Dla układów średniej i dużej skali itegracji numeryczne rozwiązywanie tak postawionego problemu jest przy obecnym stanie techniki praktycznie niemożliwe. Metoda ta wykorzystywana być może jedynie do dwuwymiarowej analizy układów warstwowych [3.8].

Właściwości termiczne układu scalonego w znacznym stopniu zależą od rodzaju i rozmiarów jego obudowy. Złożone kształty tych obudów, oraz różne mechanizmy odprowadzania ciepła z obudowy do otoczenia powodują, że przydatne do projektowania wyniki można uzyskać tylko na podstawie pomiarów.

W niniejszej pracy zaproponowano nowy sposób rozwiązania zagadnienia sprzężeń termicznych w monolitycznych układach scalonych dla przypadku stacjonarnego. Metodami analitycznymi znaleziono rozwiązanie rozpływu ciepła

dla bardziej ogólnego, niż rozwiązanego dotychczas przez Linsteda i Surty przypadku [3.12], zawierającego źródło grzejne w kształcie prostokąta, umieszczone w dowolnym miejscu na prostopadłościennej płytce, przy czym rozmiary zarówno elementu grzejnego jak i płytki są dowolne. Podejście takie jest bardzo istotne, ponieważ przy wykorzystaniu zasady superpozycji pozwala na analizę termiczną dowolnie dużych układów scalonych z elementami o złożonych kształtach. Metoda uwzględnia teoretycznie obliczony rozkład temperatury na powierzchni płytki i doświadczalnie wyznaczoną rezystancję termiczną między strukturą układu scalonego a otoczeniem.

Zasadniczym mechanizmem decydującym o rozkładzie temperatury w płytce krzemu jest przewodzenie, podczas gdy przenoszenie ciepła poprzez konwekcję i promieniowanie odgrywa mniejszą rolę [3.3] [3.15].



Rys. 3.6. Analizowana płytka krzemu

Rozważmy kształt krzemu o rozmiarach L×W×F o współrzędnych jak na rys. 3.6. Na powierzchni $l_1 \times l_2$ rozpraszana jest równomiernie moc ΔP, a odprowadzenie ciepła następuje jedynie przez dolną powierzchnię płytki. Zakładamy, że ośrodek jest jednorodny, a jego gęstość, ciepło właściwe i współczynnik przewodnictwa cieplnego $\varkappa$ są wielkościami stałymi. Przy tych założeniach problem sprowadza się do rozwiązania trójwymiarowego równania Laplace'a dla przypadku stacjonarnego

$$\frac{\partial^2 \Delta T}{\partial x^2} + \frac{\partial^2 \Delta T}{\partial y^2} + \frac{\partial^2 \Delta T}{\partial z^2} = 0 \qquad (3.6)$$

gdzie: ΔT - jest przyrostem temperatury na skutek doprowadzonej mocy cieplnej.

Przy następujących warunkach brzegowych:

$$1.\ \frac{\partial \Delta T(0,y,z)}{\partial x} = \frac{\partial \Delta T(L,y,z)}{\partial x} = \frac{\partial \Delta T(x,0,z)}{\partial y} = \frac{\partial \Delta T(x,W,z)}{\partial y} = 0 \tag{3.7}$$

dla $0 \leqslant z \leqslant F, \quad 0 \leqslant x \leqslant L, \quad 0 \leqslant y \leqslant W$

$$2.\ \Delta T\,(x,y,F) = 0 \quad \text{dla} \quad 0 \leqslant x \leqslant L, \quad 0 \leqslant y \leqslant W \tag{3.8}$$

3.

$$-\varkappa \frac{\partial \Delta T(x,y,z)}{\partial z} \begin{cases} \dfrac{\Delta P}{l_1 l_2} \text{ dla } \begin{cases} z = 0 \\ \varepsilon - 0{,}5\, l_1 \leqslant x \leqslant \varepsilon + 0{,}5\, l_1 \\ \xi - 0{,}5\, l_2 \leqslant y \leqslant \xi + 0{,}5\, l_2 \end{cases} \\ 0 \quad \text{dla} \begin{cases} z = 0 \\ x < \varepsilon - 0{,}5\, l_1 \\ x > \varepsilon + 0{,}5\, l_1 \\ y < \xi - 0{,}5\, l_2 \\ y > \xi + 0{,}5\, l_2 \end{cases} \end{cases} \tag{3.9}$$

gdzie:

ΔP - moc rozproszona.

Przyjmując z = 0 w rozwiązaniu równania (3.6) przy warunkach brzegowych (3.7), (3.8) i (3.9) otrzymuje się zależność na rozkład temperatury na powierzchni płytki o postaci [A.22]:

$$\Delta T(x,y,0) = \frac{\Delta P}{\varkappa}\left\{\left\{ \frac{F}{LW} + \frac{4}{\pi^2}\frac{L}{l_1 W} \sum_{n=1}^{\infty} \left\{ \left[\frac{-1 + \exp(2\pi nF/L)}{1 + \exp(2\pi nF/L)} \right] \right.\right.\right.$$

$$\left.\left.\left. \sin\left(\frac{n\pi}{2L} l_1\right) \cos\left(\frac{n\pi}{L} x\right) \cos\left(\frac{n\pi}{L} \varepsilon\right) \frac{1}{n^2} \right\} + \right.\right.$$

$$\left.\left. + \frac{4}{\pi^2}\frac{W}{l_2 L} \sum_{m=1}^{\infty} \left\{ \left[\frac{-1 + \exp(2\pi mF/W)}{1 + \exp(2\pi mF/W)} \right] \right.\right.\right.$$

$$\left.\left.\left. \sin\left(\frac{m\pi}{2W} l_2\right) \cos\left(\frac{m\pi}{W} y\right) \cos\left(\frac{m\pi}{W} \xi\right) \frac{1}{m^2} \right\} + \right.\right.$$

$$\left.\left. + \frac{16}{\pi}\frac{1}{l_1 l_2} \sum_{n=1}^{\infty} \sum_{m=1}^{\infty} \left\{ \left[\frac{-1 + \exp(2\lambda F)}{1 + \exp(2\lambda F)} \right] \right.\right.\right.$$

$$\left.\left.\left. \sin\left(\frac{n\pi}{2L} l_1\right) \sin\left(\frac{m\pi}{2W} l_2\right) \cos\left(\frac{n\pi}{L}\right) \cos\left(\frac{m\pi}{W} y\right) \right.\right.\right.$$

$$\left.\left.\left. \cos\left(\frac{n\pi}{L} \varepsilon\right) \cos\left(\frac{m\pi}{W} \xi\right) \frac{1}{m\, n\, \lambda} \right\}\right\}\right.$$

gdzie:

$$\lambda = \sqrt{\frac{n^2\pi^2}{L^2} + \frac{m^2\pi^2}{W^2}}$$

Złożona postać i występowanie szeregów w wyrażeniu (3.10) powoduje, że rozkład temperatury na powierzchni można obliczyć praktycznie tylko z wykorzystaniem maszyny cyfrowej.

Przy przyjęciu braku zależności przewodności termicznej krzemu od temperatury[x], zjawisko wzajemnego oddziaływania termicznego między elementami można opisać zależnością liniową:

$$\left[\Delta T_d\right] = \left[r_{ij}\right] \times \left[\Delta P_i\right] \tag{3.11}$$

gdzie:

$\left[\Delta P_i\right]$ - macierz kolumnowa mocy wydzielonych w układzie o wymiarze n - równym liczbie elementów,

$\left[\Delta T_j\right]$ - macierz kolumnowa przyrostu temperatur elementów o wymiarze n - równym liczbie elementów,

$\left[r_{ij}\right]$ - macierz kwadratowa rezystancji termicznych własnych i = j i wzajemnych i ≠ j.

Określenie sprzężeń termicznych w układzie sprowadza się więc do znalezienia elementów macierzy $\left[r_{ij}\right]$. Ponieważ różnice temperatur na powierzchni układu scalonego są zwykle znacznie mniejsze niż różnica między średnią temperaturą powierzchni a otoczeniem, można więc wyodrębnić stały składnik rezystancji termicznej obudowy R_{to}. Pomiar wartości R_{to} dla układu scalonego jest zwykle prostszy niż na przykład pomiar rezystancji termicznej tranzystora, można bowiem jeden z elementów układu, do którego nie jest doprowadzona moc grzejna, wykorzystać jako czujnik temperatury. W przypadku indywidualnego tranzystora jest to niemożliwe i należy stosować metody impulsowe.

Przyjmując stały składnik R_{to} za znany, element macierzy $\left[r_{ij}\right]$ można traktować jako sumę:

$$r_{ij} = r^*_{ij} + R_{to} \qquad \text{dla } i, j = 1,2...n \tag{3.12}$$

gdzie: r^*_{ij} - współczynniki sprzężeń termicznych między elementami zależne od powierzchni elementów i ich wzajemnego usytuowania na płytce.

Wartości współczynników r^*_{ij} dla i-tego elementu grzejnego można określić z zależności:

$$r^*_{ij} = \frac{\Delta T_j}{\Delta P_i} \qquad \begin{matrix} \text{dla } j = 1, 2...n \\ i = 1, 2...n \end{matrix} \tag{3.13}$$

x) Założenie takie można przyjąć, jeżeli maksymalne różnice temperatur w układzie scalonym nie przekraczają kilkunastu stopni, wynikła stąd zmiana przewodności termicznej krzemu jest bowiem mniejsza od pięciu procent.

przy czym przyrosty temperatur ΔT_j oblicza się przy wykorzystaniu wyprowadzonej metodami analitycznymi zależności (3.10).

W układach scalonych, gdzie moc na powierzchni układu wydziela się w miarę równomiernie i różnice temperatur na powierzchni są niewielkie, można bez obawy popełnienia dużego błędu przyjąć, że wszystkie wyrazy macierzy $[r_{ij}]$ równają się rezystancji termicznej obudowy R_{to}.

W przypadku specyficznych układów scalonych o niewielkiej rezystancji termicznej obudowy i nierównomiernym wydzielaniu mocy w układzie, należy skorzystać z zależności (3.12) i przeprowadzić złożone obliczenia współczynników r^*_{ij} przy wykorzystaniu zależności (3.13) i (3.10). Przy czym wartości tych współczynników obliczać w praktyce można jedynie dla elementów, w których wydziela się znaczna moc, zaś dla pozostałych elementów przyjąć $r_{ij} = 0$.

Wadą przedstawionej metody jest to, że nie może być ona wykorzystywana w przypadkach gdy różnice temperatur w układzie scalonym przekraczają kilkadziesiąt stopni. Wynika to z nieliniowej zależności od temperatury stałej przewodnictwa cieplnego krzemu oraz ze związanego z tym braku możliwości analitycznego rozwiązania równania (3.6) i stosowania zasady superpozycji (3.11).

4. NOWE ELEMENTY I UKŁADY

Przy projektowaniu układów scalonych najczęściej stosuje się znane i typowe dla nich podukłady, tworząc rozbudowane sieci o wymaganych właściwościach. W przypadku układów cyfrowych sprowadza się to praktycznie do tworzenia złożonych sieci logicznych ze znanych i optymalnie zaprojektowanych elementarnych bramek lub komórek pamięci. Również w przypadku liniowych układów scalonych istnieje wiele specyficznych dla techniki bipolarnej podukładów takich jak: wzmacniacze różnicowe i asymetryczne, źródła prądowe sterowane i o stałej wydajności, układy przesuwające poziomy napięć, stopnie końcowe mocy oraz cały szereg układów zabezpieczeń [A.16]. Charakterystyczne jest, że właściwości termiczne tych podukładów mogą być modyfikowane przez projektanta w szerokich zakresach. W konsekwencji pozwala to na skompensowanie temperaturowe całego układu scalonego i uzyskanie znacznie lepszych parametrów niż w przypadku układów realizowanych z elementów indywidualnych.

Istotny postęp w projektowaniu i konstrukcji bipolarnych układów scalonych może nastąpić jednak dopiero przy spełnieniu co najmniej jednego z niżej wymienionych warunków:

1. Opracowanie i wdrożenie nowej technologii wytwarzania układów scalonych.
2. Tworzenie nowych rozwiązań układowych i konstrukcyjnych.
3. Opracowanie nowych elementów wykorzystujących inne niż dotychczas zjawiska w półprzewodnikach.

Problemom tym poświęcone są następne podrozdziały.

4.1. Trendy technologiczne

Wprowadzenie nowych procesów technologicznych, wykorzystujących coraz to inne materiały i zjawiska fizyczne, pozwala na wytwarzanie elementów o znacznie lepszych właściwościach, zmniejszenie ich rozmiarów, zwiększenie uzysku produkcyjnego i często obniżenie kosztów produkcji.

Jednym z nowych procesów technologicznych jest osadzanie na powierzchni płytki krzemowej, cienkich warstw przy wykorzystaniu wysokotemperaturowych reakcji chemicznych zachodzących w gazach, tak zwane CVD (chemical vapor deposition). W ten sposób osadza się najczęściej dwutlenek krzemu SiO_2, azotek krzemu Si_3N_4 oraz polikrystaliczny krzem.

Warstwy dwutlenku krzemu wytwarzane są tą metodą w stosunkowo niskich temperaturach rzędu 400°C. W tej temperaturze nie zachodzą oczywiście procesy rozdyfundowywania domieszkowanych warstw, co zwykle ma miejsce w przypadku termicznego utleniania powierzchni krzemu. Pozwala to na nie mające skutków ubocznych wytwarzanie warstw maskujących. Istotniejszą jednak zaletą jest możliwość domieszkowania osadzanych tlenków, które w dalszych procesach są źródłami domieszek. Technika domieszkowanych tlenków pozwala na uzyskiwanie dobrze powtarzalnych warstw dyfuzyjnych, w tym również warstw o niewielkich koncentracjach powierzchniowych domieszek. Jednoczesne domieszkowanie tlenku borem i arsenem (tak zwana technika borsenik) pozwala na wytwarzanie tranzystorów o współczynnikach wzmocnienia prądowego β rzędu 1000 i częstotliwości granicznej f_T powyżej 1 GHz. Tranzystory wytwarzane w ten sposób mają bardzo dobrze powtarzalne parametry. Inną zaletą techniki domieszkowanych tlenków jest możliwość jednoczesnego wykorzystywania domieszkowanej warstwy SiO_2 jako źródła domieszek i maski, co pozwala na samocentrowanie się procesów dyfuzji domieszek.

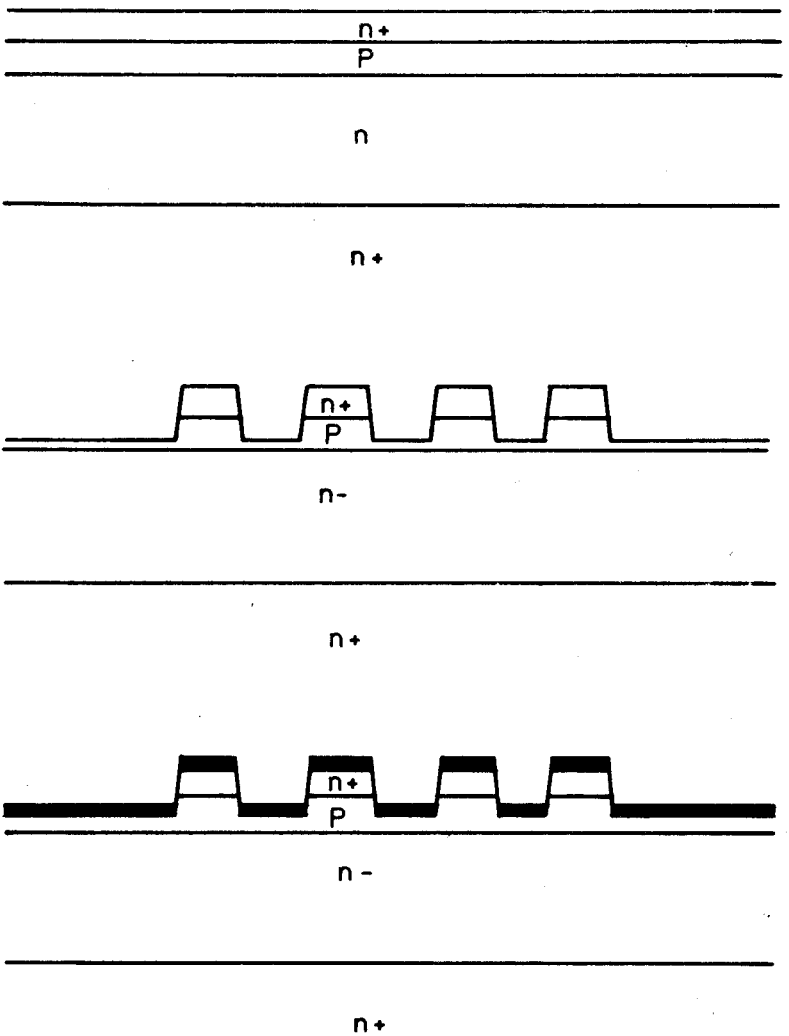
Warstwy azotku krzemu osadza się wykorzystując reakcje amoniaku NH_3 z silanem SiH_4 w temperaturze około 800°C. Warstwy te znajdują zastosowanie jako maska przy selektywnym utlenianiu krzemu. Technika LOCOS (Local oxidation of silicon) pozwala na wytwarzanie izolacji tlenkowej w układach scalonych i umożliwia samocentrowanie się obszarów czynnych układu scalonego. Selektywne utlenianie krzemu prowadzone jest w stosunkowo niskiej temperaturze rzędu 950°C w celu uniknięcia procesu generacji defektów. Równie istotne znaczenie spełnia azotek krzemu jako warstwa maskująca w procesie dyfuzji domieszek, zaś fakt istnienia dwóch rodzajów warstw maskujących SiO_2 i Si_3N_4 pozwala na prowadzenie samocentrujących się procesów dyfuzji domieszek. Wykorzystuje się w tym przypadku procesy selektywnego wytrawiania SiO_2 w rozcieńczonym i zbuforowanym przez NH_4F kwasie fluorowodorowym, oraz wytrawiania Si_3N_4 w H_3PO_4 w temperaturze około 180°C.

Polikrystaliczne warstwy krzemu osadza się przez rozkład silanu SiH_4 w temperaturze rzędu 650°C. Warstwy te domieszkowane fosforem pozwalają na wytwarzanie emiterów tranzystorów o bardzo dużej sprawności wstrzykiwania. Istnieje ponadto możliwość samocentrowania się procesów przy wykorzystaniu polikrystalicznych warstw Si. Technika ta jest od dawna stosowana przy tworzeniu układów scalonych z tranzystorami z izolowaną bramką.

Inną, stosowaną już powszechnie przy produkcji układów scalonych MOS techniką, jest implantacja jonów. Dotychczas bipolarne układy scalone wytwarzane są jednak, przy wykorzystaniu tradycyjnie dobrze opanowanych i tanich procesów dyfuzji. Dalsza miniaturyzacja rozmiarów w układach scalonych powoduje, że na skutek istnienia efektu dyfuzji bocznej, procesy dyfuzji muszą być eliminowane i zastępowane procesami implantacji jonów. Technika implantacji jonów pozwala także na wytwarzanie tranzystorów o cieńszych bazach, a tym samym na znaczne skrócenie czasu przelotu nośników mniejszościowych w tych tranzystorach. Już w chwili obecnej wiele indywidualnych tranzystorów bipolarnych, przeznaczonych do pracy w zakresie bardzo dużych częstotliwości, wytwarzanych jest z wykorzystaniem techniki implantacyjnej.

Istotnym nowym procesem technologicznym pozwalającym na zmniejszenie rozmiarów elementów w układach scalonych jest proces trawienia plazmowego, nazywany też suchym trawieniem. Proces trawienia przeprowadza się z wykorzystaniem plazmy powstałej na skutek zjonizowania gazu lub par (o ciśnieniu rzędu 0,01 ~ 0,05 mm Hg) polem elektromagnetycznym wielkiej częstotliwości. Cechą charakterystyczną tej techniki jest bardzo małe podtrawienie boczne, nie przekraczające zwykle 10% grubości trawionej warstwy. Inną zaletą trawienia plazmowego jest bardzo duża czystość procesu w porównaniu z trawieniem w odczynnikach chemicznych. Również i fotorezyst usuwa się obecnie przy pomocy trawienia w plaźmie tlenowej. Równomierność usuwania fotorezystu w plaźmie oraz fakt, że grubość tego fotorezystu jest zwykle różna w zależności od ukształtowania powierzchni, pozwala na jego częściowe usunięcie oraz pozostawienie jedynie w zagłębieniach powstałych w poprzednich procesach technologicznych. Mechanizm ten umożliwia samocentrowanie się niektórych procesów technologicznych.

Przykładem postępu, jaki wnoszą nowe technologie do konstrukcji elementów bipolarnych, może być opracowany przez autora tranzystor mocy o bardzo dużej częstotliwości granicznej [A.32], wytworzony przy pomocy jednego tylko procesu maskowania, bez potrzeby centrowania kolejnych masek jak to ma miejsce w typowych technologiach. Proces technologiczny wytwarzania tego tranzystora jest schematycznie przedstawiony na rys. 4.1. W podłoże z warstwą epitaksjalną n przeprowadza się nieselektywną dyfuzję warstw bazy p i emiterów n^+ (rys. 4.1a). Następnie wykorzystując proces selektywnego maskowania przeprowadza się trawienie plazmowe krzemu w plaźmie freonu CF_4 o ciśnieniu około 0,02 mm Hg, co prowadzi do struktury pokazanej na rys. 4.1b. Kolejnym procesem jest naparowanie aluminium i następujący po nim proces jego częściowego podtrawienia, w celu eliminacji ewentualnych zwarć między bazą a emiterem. Po wygrzaniu uzyskuje się gotową strukturę tranzystora (rys. 4.1c), do której kontakty montowane są przez docisk. Tranzystor ten może być wytworzony na bardzo dużej powierzchni przy zachowaniu jednocześnie bardzo małej rezystancji szeregowej bazy i dużej częstotliwości granicznej, a wynika to z możliwości wykonywania tą techniką tranzystorów z bardzo wąskimi emiterami o kształcie meandra.



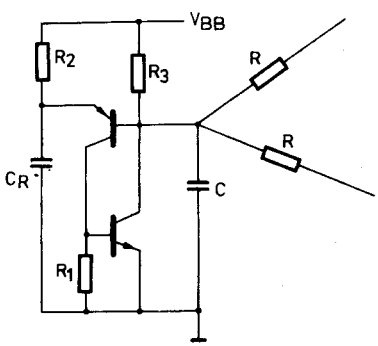
Rys. 4.1. Sposób wytwarzania tranzystorów npn z wykorzystaniem 1 procesu maskowania (a) - po dyfuzji boru i fosforu, (b) - po selektywnym trawieniu plazmowym, (c) - po naparowaniu aluminium

Znaczne zmniejszenie rozmiarów wytwarzanych elementów układu scalonego, przy wykorzystywaniu powszechnie stosowanego procesu fotolitografii, jest praktycznie niemożliwe. Wynika to między innymi z faktu, że przy stosowaniu podłóż o średnicy około 10 cm (4 cale), względne zmiany rozmiarów rzędu 0,001%, spowodowane na przykład różnicami temperatury, praktycznie uniemożliwiają poprawne przeprowadzenie procesu kolejnego maskowania. Czołowi producenci w świecie przyjęli na najbliższe lata program tworzenia układów VLSI (Very Large Scale Integration) przewidując możliwość wytwarzania okienek w tlenku o rozmiarach rzędu 0,5 μm (obecnie 5 μm), a tym samym 100-krotne zwiększenie gęstości upakowania i znaczne zwiększenie szybkości. Program ten staje się możliwy przy wykorzystaniu techniki rysowania wzorów bezpośrednio na podłożu z wykorzystaniem wiązki elektronowej sterowanej komputerem. W tym procesie aktualne odległości pomiędzy znakami centrującymi określane są przy pomocy takiej samej wiązki elektronowej. W zależności od tych odległości można przeprowadzić modyfikację generowanego z komputera wzorca i wpisać go optymalnie pomiędzy znaki centrujące. Wytwarzanie układów VLSI jest możliwe tylko przy wykorzystywaniu procesu trawienia plazmowego i selektywnego domieszkowania metodą implantacji jonów.

4.2. Nowe rozwiązania układowe i konstrukcyjne

Projektowanie układów scalonych o coraz to lepszych parametrach uwarunkowane jest tworzeniem nowych rozwiązań układowych. Ma to szczególne znaczenie w przypadku projektowania liniowych układów scalonych, tworzonych w oparciu o typowe dla danej technologii elementy. Jednym z wielu przykładów takich rozwiązań mogą być układy, zaprezentowane przez autora w pracach [A.12] [A.13] [A.14] [A.15], charakteryzujące się pod kilkoma względami lepszymi parametrami niż znane dotychczas rozwiązania.

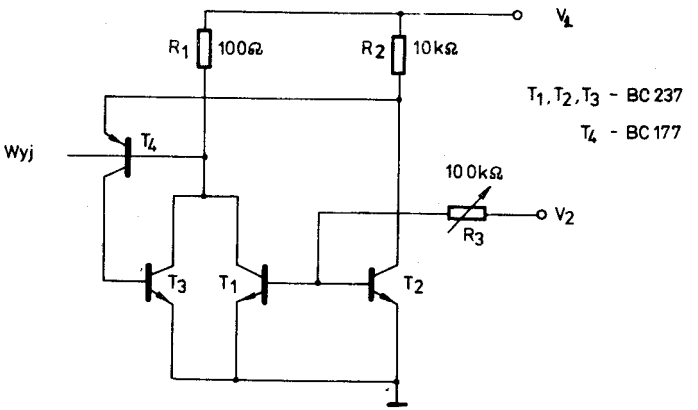
Możliwe jest też budowanie zupełnie nowych zkładów, o nie spotykanych dotychczas właściwościach. Przykładem takiego rozwiązania może być linia neurystorowa, tj. elektroniczny model aksonu, o bardzo dobrych parametrach, przydatna do wykonania w technice bipolarnych układów scalonych. Pracę nad liniami neurystorowymi trwają już od roku 1960, ale dotychczas nie udało się stworzyć rozwiązania posiadającego wszystkie cechy neuronu i możliwego do wykonania w postaci układu scalonego. Pierwszym tego typu rozwiązaniem jest układ, którego schemat przedstawiony jest na rysunku 4.2. Połączenie w szereg poprzez rezystory R, kilku lub kilkunastu takich podukładów tworzy linię neurystorową. Istotą działania tego układu jest fakt wykorzystywania energii



Rys. 4.2. Układ podstawowej komórki linii neurystorowej

zmagazynowanej w pojemności C_R do kształtowania ujemnych impulsów transmitowanych w linii. Czas ładowania tej pojemności przez rezystor R_2 określa okres regeneracji podstawowej komórki. Stosowane w układzie wartości pojemności mogą nie przekraczać kilkunastu pikofaradów. Szczegóły dotyczące tego rozwiązania zawierają prace autora [A.24] [A.26]. Pewną jego modyfikację, przydatną do techniki MOS, opracowano niedawno w Stanach Zjednoczonych [4.6], zaś ostatnio Japończycy analizowali podobny układ jako element o ujemnej rezystancji [4.5].

Innym zagadnieniem projektowym jest tworzenie układów funkcjonalnych wykorzystujących inne niż dotychczas zjawiska fizyczne. Przykład takiej konstrukcji, to opracowany przez autora generator wykorzystujący efekt wewnętrznego sprzężenia termicznego w tranzystorze. Układ ten, przedstawiony na rys. 4.3, nie zawiera ani elementów indukcyjnych ani pojemnościowych. Analizę przebiegów w generatorze należy rozpocząć od przyjęcia, że



Rys. 4.3. Schemat generatora przebiegów prostokątnych wykorzystującego efekt wewnętrznego sprzężenia termicznego

tranzystory T_1 i T_2 są wspólnie sterowane prądem płynącym przez rezystor R_3. Prąd tranzystora T_2 ograniczony jest poprzez rezystor R_2, zaś duży prąd płynący przez tranzystor T_1 powoduje wydzielanie mocy i wzrost temperatury złącz tego tranzystora, modyfikującej tym samym jego charakterystyki wejściowe. W konsekwencji powoduje to dalsze zwiększenie prądów tego tranzystora i dalszy wzrost jego temperatury. W przypadku granicznym cały prąd sterujący, płynący przez rezystor R_3, wpływa do bazy tranzystora T_1 powodując jednocześnie odcięcie tranzystora T_2. Wzrastające napięcie na kolektorze tranzystora T_2 włącza z kolei podukład tyrystora zbudowany z tranzystorów T_3 i T_4, powodując zwarcie kolektora tranzystora T_1 do masy i wydzielenie całej mocy na rezystorze obciążenia R_1. W tym okresie następuje ochładzanie tranzystora T_1 oraz zmiana jego charakterystyk wejściowych, prowadząca w konsekwencji do nasycenia tranzystora T_2 i wyłączenia układu tranzystorowego $T_3 - T_4$, po czym cykl zaczyna się od początku. W praktycznie zrealizowanym układzie, z wartościami elementów podanymi na rys. 4.3,

obserwowano generacje impulsów prostokątnych o okresie powtarzania od 0,05 Hz do 5 Hz w zależności od wartości napięć V_1 i V_2 to znaczy od wartości doprowadzonej mocy grzejnej. Czas trwania impulsów można w pewnym zakresie regulować wartością rezystora R_2.

Łatwość projektowania układów cyfrowych wynika z faktu, że złożone sieci cyfrowe są budowane w oparciu o podstawowe funktory logiczne. Tworzenie właśnie tych nowych funktorów logicznych, o innych i często lepszych właściwościach, stanowi postęp w projektowaniu tych układów. Jednym z przykładów tworzenia układów logicznych, wzorowanych na systemie nerwowym, są elementy logiki neurystorowej przedstawionej przez autora w pracach [A.3] [A.4] [A.5] [A.6] [A.7]. Aktualnie na świecie prowadzone są badania nad tworzeniem nowych, elementarnych komórek logicznych dla bipolarnych układów cyfrowych w celu zmniejszenia czasu opóźnienia sygnału w bramce logicznej, przy jednoczesnym zmniejszeniu mocy zasilania. Modyfikowane są układy ECL, jak również tworzone nowe rozwiązania, do których zaliczyć można CHL Current Hogging Logic [4.4] oraz I^2L (Double Injection Logic) [4.2] [4.3]. Ten ostatni rodzaj układów logicznych charakteryzuje się najlepszymi parametrami, gdyż iloczyn czasu opóźnienia i pobieranej mocy $\tau \times P$ jest rzędu 0,3 ~ 0,5 pJ. Ze względu na uzyskiwane parametry stosowanie I^2L jest głównym trendem rozwoju bipolarnych układów scalonych dużej skali integracji. Szerokim echem, przynajmniej w Japonii, odbiło się opracowanie w firmie Mitsubishi układów logicznych zwanych VIL (Vertical Injection Logic) [4.10], w przypadku których uzyskano iloczyn $\tau \times P$ o dwa razy mniejszy niż w układach I^2L. Logika ta wymaga skomplikowanej technologii z 8 procesami maskowania. W opracowywanej przez autora rodzinie układów logicznych, nazywanych SIL (Static Induction Logic) lub SITL (Static Induction Transistor Logic), prezentowanej na międzynarodowych konferencjach w Tokio-1976 [A.27] oraz w Filadelfii - 1977 [A.28], uzyskano minimalne opóźnienie τ = = 14 nS oraz iloczyn $\tau \times P$ rzędu 0,002 pJ, co jest wynikiem o dwa rzędy wielkości lepszym niż rezultaty uzyskiwane w znanych dotychczas scalonych układach logicznych.

Iloczyn czasu opóźnienia τ i mocy zasilającej P dla bramek logicznych I^2L i SITL wyrazić można zależnością:

$$\tau \times P = \frac{V_{bb} V_{sw} C_t}{\alpha_i} \approx \frac{V_{bb}^2 C_t}{\alpha_i} \qquad (4.1)$$

gdzie:

V_{bb} - napięcie zasilania,

V_{sw} - amplituda logiczna,

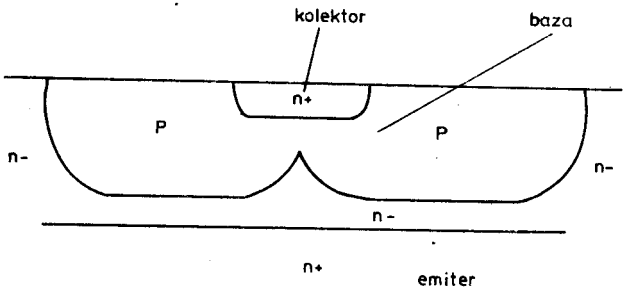
C_t - całkowita pojemność,

$C_t = C_{EB} + 2n\ C_{CB}$ w I^2L,

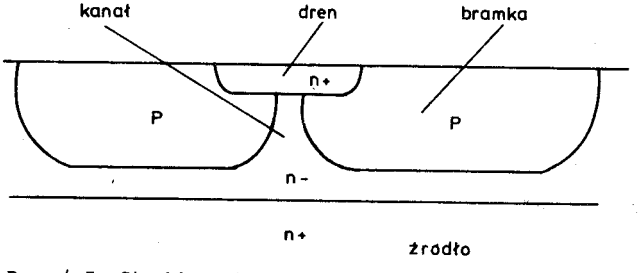
$C_t = C_{SB} + 2n\ C_{DG}$ w SITL,

$\alpha_i = \frac{I_i}{I_{bb}}$ - współczynnik określający sprawność układu zasilania.

W typowych układach I^2L $\alpha_i = 0,5$, jedynie w strukturze VII uzyskano $\alpha_i \approx 1$ [4.10], co umożliwiło redukcję iloczynu o połowę. Dalsza redukcja tego iloczynu możliwa jest poprzez zmniejszenie napięcia zasilania i pojemności występujących w układzie. W tym celu należy zastosować inną niż dotychczas strukturę tranzystora.



Rys. 4.4. Struktura tranzystora npn z wykorzystaniem procesu dyfuzji bocznej



Rys. 4.5. Struktura tranzystora SIT z wykorzystaniem procesu dyfuzji bocznej

Rozpatrzmy dwie struktury tranzystorów zilustrowane na rysunkach 4.4 i 4.5. Rysunek 4.4 przedstawia tranzystor bipolarny, wykonany przy wykorzystaniu efektu dyfuzji bocznej typu p. Cechą charakterystyczną tego tranzystora jest to, że zasadnicza część prądu emitera płynie przez środkowy, słabo domieszkowany obszar bazy, ponieważ w obszarze tym bariera potencjału jest najmniejsza. Wysokość tej bariery określić można zależnością:

$$V_{h1} = V_T \ln\left(\frac{N_E N_B}{n_i^2}\right) - V_{BE} \qquad (4.2)$$

gdzie:

N_E, N_B - koncentracja domieszek po obydwu stronach złącza emiter-baza, w jego środkowej części,

V_{BE} - przyłożone zewnętrzne napięcie do złącza emiter-baza.

Wysokość bariery potencjału V_{h1} jest niezależna od napięcia kolektora. W przypadku struktury tranzystora przedstawionej na rysunku 4.5, bariera potencjału dla nośników wstrzykiwanych ze źródła jest zaindukowana elektrostatycznie przez potencjały bramki i drenu.

$$V_{h2} = \gamma \left[V_T \ln \frac{N_S N_G}{n_i^2} - V_{GS} - \frac{V_{DS}}{\mu} \right] \tag{4.3}$$

gdzie:

N_S, N_G - koncentracja domieszek po obydwu stronach złącza emiter-bramka,

V_{GS} - napięcie bramka-źródło,

V_{DS} - napięcie dren-źródło,

μ - współczynnik wzmocnienia napięciowego tranzystora,

γ - współczynnik mniejszy od jedności, określający efektywność oddziaływania bramki i zależny od kształtu i wymiarów struktury.

Wysokość bariery potencjału V_{h2} dla tych samych przyłożonych z zewnątrz napięć jest mniejsza niż V_{h1}. Tranzystor o strukturze przedstawionej na rysunku 4.5, może więc pracować przy niższych niż w typowych tranzystorach bipolarnych napięciach zasilania. Dla ujemnych oraz niewielkich dodatnich potencjałów bramki, tranzystor ten pracuje jak Static Induction Transistor (SIT) opracowany przez Nishizawę [4.7]. Dla większych dodatnich potencjałów bramki, dziury z bramki i elektrony ze źródła wstrzykiwane są w obszar kanału. Pole wbudowane na granicy n^+n^- powoduje, że jedynie elektrony przepływają ze źródła do drenu, natomiast dziury wstrzyknięte w warstwę n^- tworzą statyczny ładunek w tym obszarze.

W strukturze tranzystora, przedstawionej na rysunku 4.5, wyróżnić można następujące prądy:

I_{pc} - prąd dziur wstrzykiwanych z bramki do kanału

$$I_{pc} = \frac{q\, n_i^2 D_{pc}\, S_c}{N_c\, w + Q_p} \exp\left(\frac{V_{GS}}{V_T}\right) \tag{4.4}$$

I_{ps} - prąd dziur wstrzykiwanych z bramki do źródła

$$I_{ps} = \frac{q\, n_i^2\, D_{ps}\, S_G}{\int_0^{L_d} N_s\, dx + N_c\, d} \exp\left(\frac{V_{GS}}{V_T}\right) \tag{4.5}$$

I_{nG} - prąd elektronów wstrzykiwanych ze źródła do bramki

$$I_{nG} = \frac{q\, n_i^2\, D_{nG}\, S_e}{\int_0^{x_j} N_G\, dx} \exp\left(\frac{V_{GS}}{V_T}\right) \tag{4.6}$$

I_{nc} - prąd elektronów wstrzykiwanych ze źródła do kanału

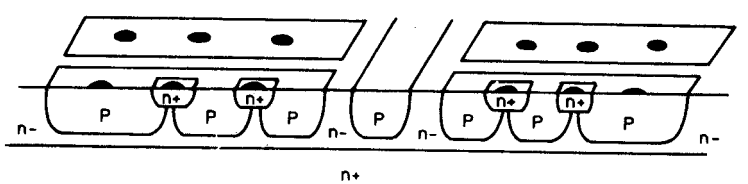
$$I_{nc} = I_{nG} \exp \frac{V_{h2} - W_{h1}}{V_T} = I_{nG} \exp \left[\left(\frac{V_{BE}}{V_T} - \ln \left(\frac{N_G N_S}{n_i^2} \right) \right) (1-\gamma) - \frac{\Omega}{\mu} \frac{V_{DS}}{V_T} \right] \tag{4.7}$$

gdzie:

w - szerokość kanału,
d - odległość między źródłem a bramką,
x_j - głębokość dyfuzji typu p,
Q_p - statyczny ładunek dziur wstrzykniętych w obszar kanału.

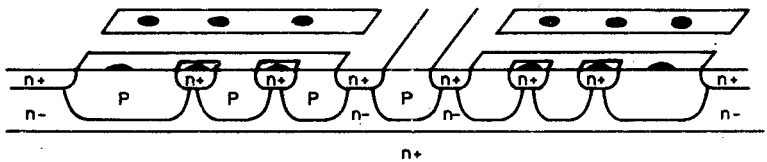
Prądy I_{ps} i I_{nG} są bardzo małe ze względu na duże wartości całek występujących w mianownikach zależności (4.5) i (4.6). Również wartość prądu I_{pc} jest niewielka ze względu na istnienie w obszarze kanału ładunku Q_p dziur wstrzykniętych z bramki. Prąd bramki jest głównie spowodowany przez rekombinacje par dziura-elektron w obszarze kanału. Bezpośrednie wstrzykiwanie nośników ze źródła do bramki (elektronów) oraz z bramki do źródła (dziur), jest stosunkowo małe na skutek istnienia potencjałów wbudowanych, wywołanych gradientem koncentracji domieszek. W przypadku układów logicznych, tranzystor ten pracuje przy niskich poziomach logicznych na wejściu bramki podobnie do SIT, natomiast przy wysokich poziomach logicznych na wejściu w tranzystorze następuje dyfuzja i wstrzykiwanie nośników między jego obszarami aktywnymi.

Obydwie struktury tranzystora, przedstawione na rysunkach 4.4 i 4.5 wykorzystane do realizacji układów logicznych powodują poprawę właściwości przełączających bramek. W przypadku tranzystora zilustrowanego na rysunku 4.4, iloczyn $\tau \times P$ może zostać zmniejszony o ponad rząd wielkości z powodu zmniejszenia się pojemności baza-emiter na skutek niewielkiej koncentracji domieszek w warstwie epitaksjalnej oraz zmniejszenia pojemności baza-kolektor, spowodowanego specyficznym profilem domieszek w tym obszarze. Również wzmocnienie prądowe tego tranzystora jest większe niż w przypadku tranzystorów npn w układach I^2L, na skutek niewielkiej koncentracji domieszek i braku pola hamującego transport nośników mniejszościowych w bazie. Dodatkową zaletą struktury tranzystora przedstawionego na rysunku 4.5 jest to, że może on pracować z mniejszymi napięciami, co w konsekwencji powoduje dalsze zmniejszenie iloczynu $\tau \times P$.



Rys. 4.6. Struktury bramek logicznych SIL z wykorzystaniem 4 masek w procesie technologicznym

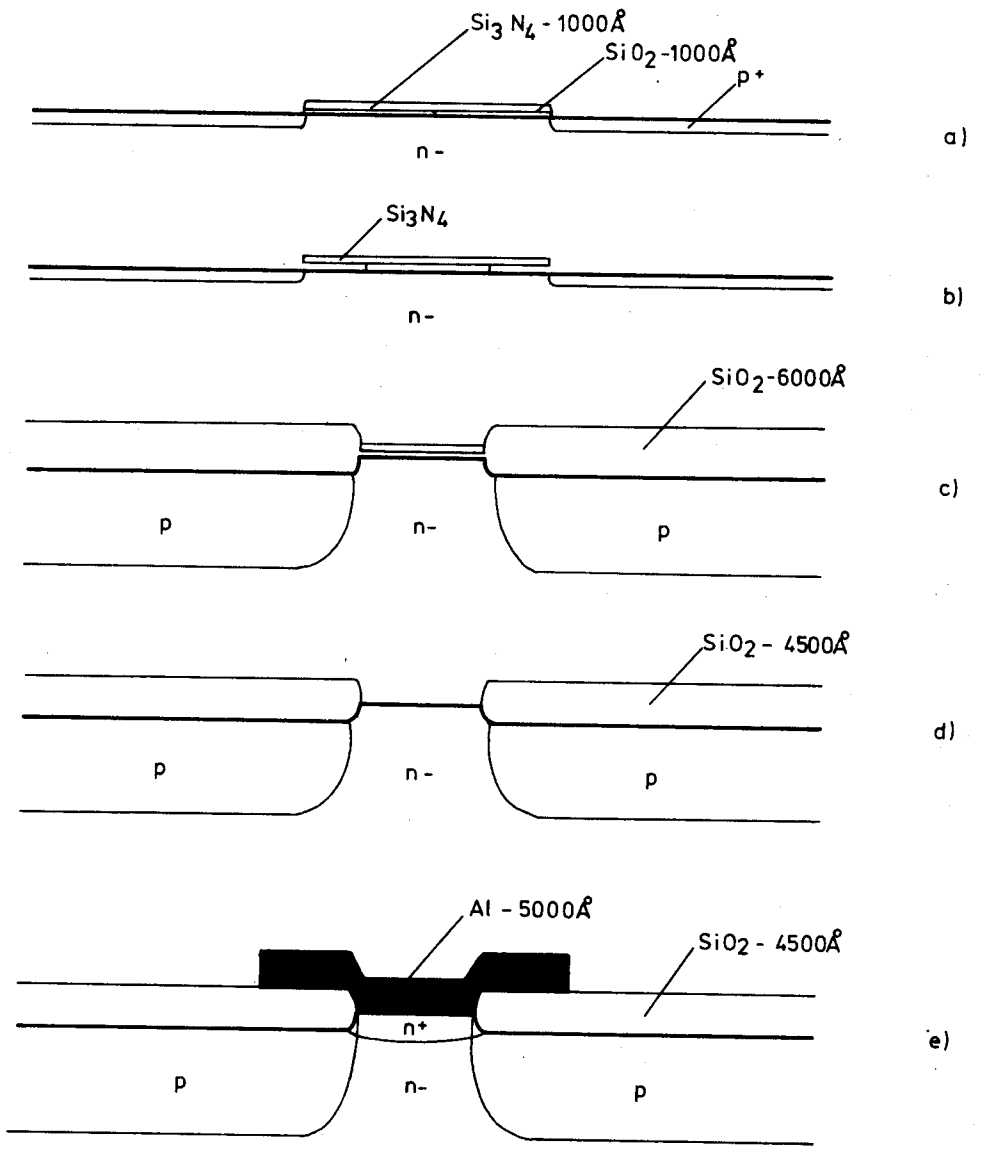
W typowej technologii planarnej struktura bramki logicznej przedstawiona na rysunku 4.6, wymaga jedynie 4 procesów maskowania (dyfuzja typu p, dyfuzja typu n, otwory kontaktowe, metalizacja). Wykorzystując samocentrujące się techniki domieszkowanych tlenków lub maskowania azotkiem krzemu, możliwe jest ograniczenie procesów maskowania do trzech (dyfuzja obu typów domieszek, kontakty, metalizacja). Uzyskaną w ten sposób strukturę przedstawia rysunek 4.7.



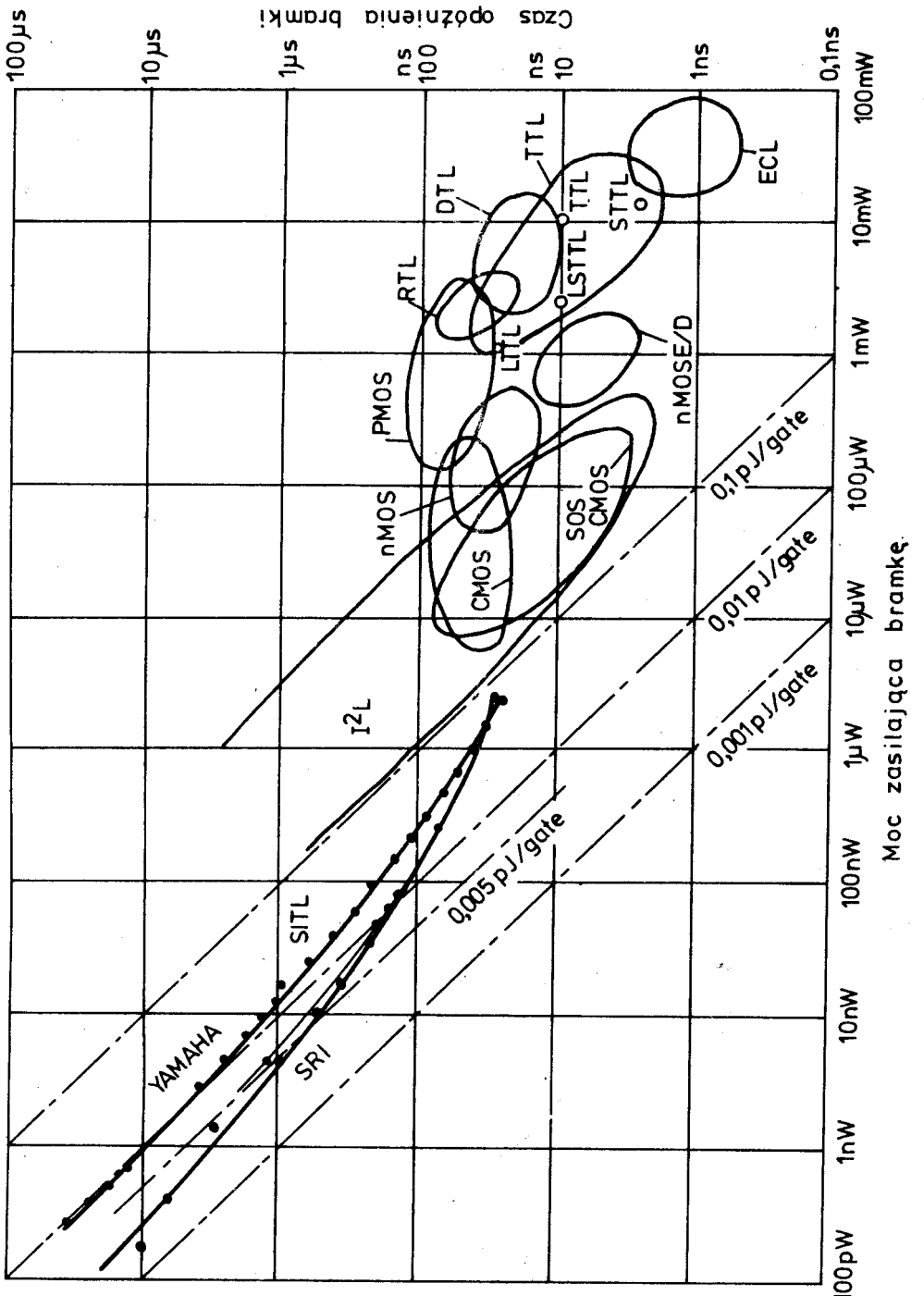
Rys. 4.7. Struktury bramek logicznych SIL z wykorzystaniem 3 masek w procesie technologicznym

W wykonanych przez autora kilku oscylatorach pierścieniowych, z 11 szeregowo połączonych bramek logicznych, o strukturze przedstawionej na rys. 4.6, nie możliwym było zaobserwowanie oscylacji na skutek zwarć między drenem a bramką w niektórych tranzystorach. Zwarcia te powodowane były niedokładnością procesu fotolitografii. Możliwe było jednak pomierzenie charakterystyk bramek i indywidualnych tranzystorów występujących w układzie. Szczegółowy opis konstrukcji i wyniki pomiarów zawiera praca [A.29]. Wprowadzenie samocentrującej techniki z warstwami azotku krzemu, której istota zilustrowana jest na rysunku 4.8. pozwoliło na eliminacje tych zwarć, już po opuszczeniu przez autora Semiconductor Research Institute. W układach testowych uzyskano iloczyn $\tau \times P$ równy 0.002 pJ. Tak mała wartość tego parametru jest też częściowo wynikiem zmniejszenia opracowywanych przez autora masek, co stało się możliwe przy wykorzystaniu wspomnianej wyżej techniki samocentrowania z Si_3N_4. Prowadzone równolegle (od września 1976r.) prace w firmie Yamaha, przy wykorzystaniu standartowej technologii planarnej, pozwoliły również na uzyskiwanie układów logicznych o iloczynie $\tau \times P$ mniejszym od 0.01 pJ. Wspólne wyniki badań prowadzonych w SRI i firmie Yamaha zawarte są w pracy [A.31]. Zestawienie na rysunku 4.9 uzyskanych rezultatów, w porównaniu ze znanymi dotychczas układami cyfrowymi wskazuje że opracowana przy współudziale autora logika posiada najlepsze parametry określające jej przydatność do realizacji układów scalonych wielkiej skali integracji.

Praktycznie realizowane układy charakteryzowały się gęstością upakowania rzędu 500 ~ 800 bramek na mm^2, przy czym możliwe jest uzyskanie gęstości upakowania do 2000 bramek na mm^2. Olbrzymią zaletą procesu technologicznego przy wytwarzaniu tych układów jest możliwość stosowania bardzo niewielkiej liczby procesów fotolitografii. Zmniejsza to znacznie koszty wytwarzania, zwiększa uzysk i niezawodność układów. Krytycznym etapem procesu technologicznego jest wytwarzanie na silnie domieszkowanym podłożu bardzo słabo domieszkowanej warstwy epitaksjalnej. Dodatkowe problemy stwa-



Rys. 4.8. Kolejne etapy samocentrującej techniki z azotkiem krzemu: (a) po predyfuzji boru, (b) po podtrawieniu SiO_2, (c) po redufuzji boru, (d) po usunięciu Si_3N_4 i podtrawieniu SiO_2, (e) po dyfuzji arsenu i naniesieniu metalizacji

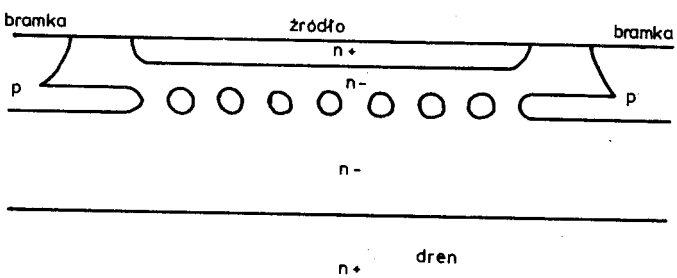


Rys. 4.9. Porównanie parametrów, opóźnienia na bramce i mocy zasilającej, dla różnego typu układów cyfrowych

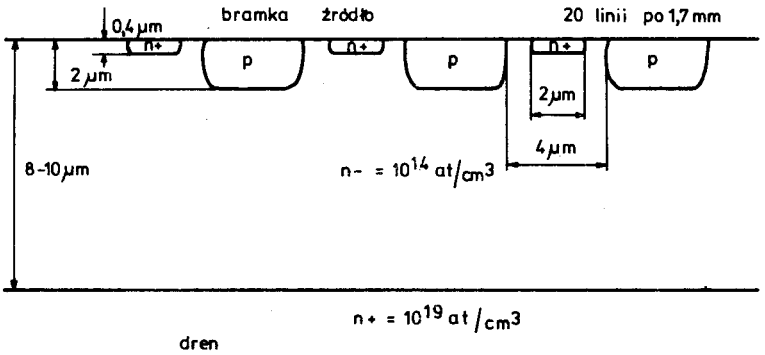
rzają zagadnienia samocentrowania się drenów względem bramek oraz samocentrowanie się kontaktów względem drenu. Możliwe jest jednak tworzenie układów logicznych posiadających parametry zbliżone do SITL, przy ominięciu przedstawionych wyżej trudności technologicznych. Układy te są aktualnie w stadium projektowania i analiz.

4.3. Tworzenie nowych elementów

Możliwości projektowania układów scalonych znacznie się poszerzają nie tylko na skutek tworzenia nowych podukładów przedstawionych w poprzednim rozdziale, ale również przez tworzenie nowych elementów półprzewodnikowych, wykorzystujących inne niż tradycyjnie wykorzystywane zjawiska fizyczne w półprzewodnikach. Jednym z możliwych do wykorzystania zjawisk jest modulacja konduktywności obszaru półprzewodnika na skutek wstrzykiwania nośników w ten obszar. Przykłady tworzenia podukładów i przyrządów funkcjonalnych, wykorzystujących to zjawisko, przedstawione są między innymi przez Ambroziaka w pracy [4.1]. Tworzone w ten sposób układy charakteryzują się stosunkowo niewielką szybkością działania. Innym przykładem tranzystora działającego na zupełnie odmiennej zasadzie jest tranzystor opracowany przez Nishizawe [4.7], zwany SIT, przedstawiony schematycznie na rys. 4.10.Istotą działania tego tranzystora jest indukowanie bariery potencjału przy powierzchni źródła ujemnym napięciem bramki i dodatnim napięciem drenu. Wadą konstrukcji tranzystora przedstawionego na rys. 4.10 jest trudność wytworzenia silnie domieszkowanej bramki typu p, jako warstwy zagrzebanej. Duża rezystancja na kwadrat tej warstwy powoduje, że rezystancja szeregowa bramki w znacznym stopniu ogranicza właściwości częstotliwościowe tego elementu.-Ulepszona jego wersja została zrealizowana przy współudziale autora w SRI. Struktura przedstawiona na rys. 4.11, wykonana jest przy zastosowaniu

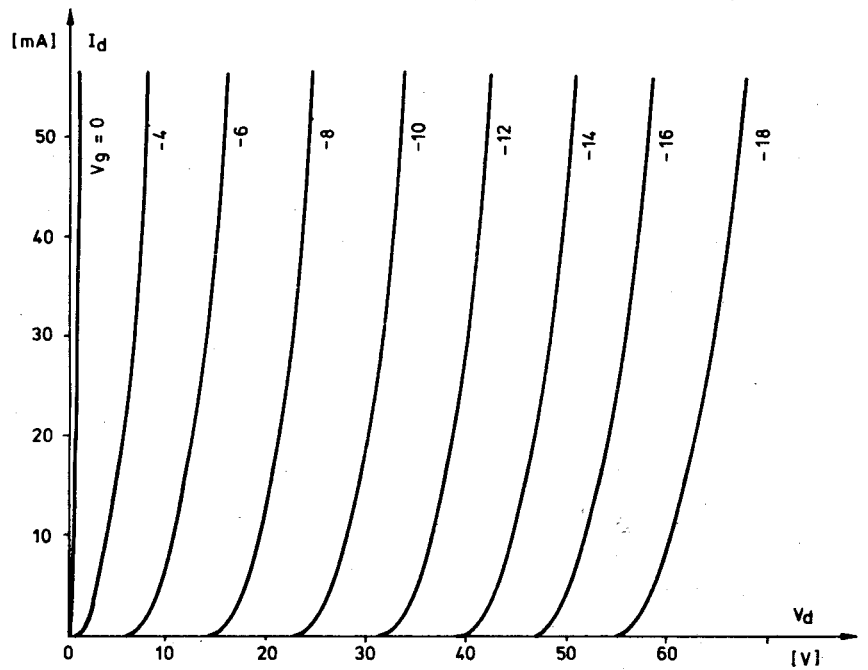


Rys. 4.10. Struktura tranzystora SIT opracowanego przez Nishizawę



Rys. 4.11. Ulepszona struktura tranzystora SIT

standartowej technologii planarnej, bez potrzeby wytwarzania warstw zagrzebanych i charakteryzuje się bardzo małą rezystancją szeregową bramki. Podobny element został opracowany niezależnie w formie Toshiba [4.8]. W zakresie niewielkich prądów tranzystora, prąd drenu jest wykładniczą funkcją zarówno napięcia na bramce jak i na drenie. Przy większych gęstościach prądów przyrost prądu drenu jest w przybliżeniu proporcjonalny do przyrostu napięcia na drenie. Efekt ten zaobserwowano w praktycznie wykonanym w SRI elemencie, którego charakterystyki ilustruje rys. 4.12.Ten liniowy charakter zależności prądu od napięcia drenu może być spowodowany dwoma czynnikami: rezystancjami szeregowymi źródła lub drenu, oraz efektem



Rys. 4.12. Charakterystyki prądowo napięciowe tranzystora, którego strukturę ilustruje rys. 4.11

ograniczenia wartości prądu ładunkiem przestrzennym ruchomym nośników. Rezystancja dynamiczna drenu, określona z przedstawionych na rys. 4.12 charakterystyk, wynosi około 80Ω, zaś jej wartość wynikająca z oszacowania dla tej struktury rezystancji szeregowych drenu i źródła wynosi około 10Ω. Świadczy to o niewielkim wpływie rezystancji szeregowych na charakterystyki tego tranzystora.

Przeprowadzając uproszczoną jednowymiarową analizę, można rozkład potencjału w obszarze ładunku przestrzennego opisać równaniem różniczkowym o postaci:

$$\frac{d^2V}{dx^2} = -\frac{I_o}{\varepsilon\varepsilon_o S\ v(x)} \tag{4.8}$$

przy warunkach brzegowych danych zależnościami:

dla $x = 0$ $\quad V = 0 \quad$ i $\quad \frac{dV}{dx} = E_o$

dla $x = l$ $\quad V = V_D$

gdzie:

I_D - prąd drenu,
S - powierzchnia czynna tranzystora,
$v(x)$ - szybkość przelotu nośników,
l - odległość między źródłem a drenem.

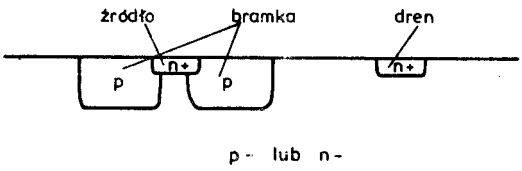
Z powyższego równania różniczkowego określić można zależność pomiędzy prądem i napięciem drenu, a następnie rezystancję dynamiczną r_d.

$$r_d = \frac{1}{\varepsilon\varepsilon_o S} \int_0^l \int_0^u \frac{1}{v(x)}\, dx\, du \tag{4.9}$$

Zwraca uwagę fakt, że rezystancja dynamiczna r_d wynikająca z istnienia ładunku przestrzennego jest stała i nie zależy od napięcia drenu, jeżeli tylko rozkład prędkości nośników nie jest funkcją tego napięcia. Przy przyjęciu stałej prędkości nośników, równej prędkości nasycenia $v_{si} = 9 \times 10^6$ cm/sek., otrzymuje się uzyskaną wcześniej przez Shockleya [4.9] zależność na rezystancje dynamiczną obszaru, w którym przepływ prądu ograniczony jest ładunkiem przestrzennym ruchomych nośników:

$$r_d = \frac{l^2}{2\,\varepsilon\varepsilon_o S\ v_{si}} \tag{4.10}$$

Przy przyjęciu podanych na rys. 4.11 rozmiarów tranzystora, wartość r_d obliczona z zależności 4.10 wynosi 31.8Ω, a po uwzględnieniu rezystancji szeregowych $r_d = 42Ω$. Różnica obliczonych i pomierzonych wartości r_d wynika prawdopodobnie z mniejszej od v_{si} prędkości nośników w pobliżu źródła. Wartość rezystancji dynamicznej $r_d = 80Ω$ wynikać może z przyjęcia średniej prędkości unoszenia nośników równej 4×10^6 cm/sek. Wartości współczynników wzmocnienia napięciowego, możliwe do uzyskania w struktu-



Rys. 4.13. Tranzystor SIT o uproszczonej technologii i dużym współczynniku wzmocnienia

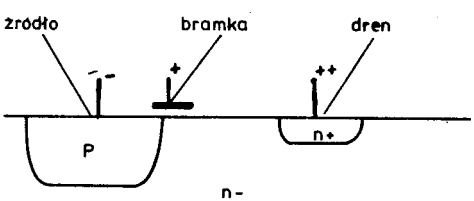
rze tranzystora przedstawionej na rys. 4.11, są niewielkie. Trudnym procesem technologicznym jest też wytwarzanie bardzo słabo domieszkowanych warstw epitaksjalnych. Na rysunku 4.13 przedstawiona jest nowa zaproponowana przez autora konstrukcja tranzystora, nie posiadająca tych wad [A.34]. W słabo domieszkowanym podłożu typu p^- lub n^- metodą dyfuzji wytwarzane są obszary bramki, źródła i drenu. Tranzystor ten nie tylko charakteryzuje się bardziej prostą technologią, ale również posiada dużo większy współczynnik wzmocnienia napięciowego na skutek bocznego usytuowania bramki względem drenu.

Pojemności i rezystancje szeregowe w tranzystorach SIT są niewielkie. Ograniczenie częstotliwości pracy tych tranzystorów wynika ze skończonego czasu przelotu nośników pomiędzy źródłem i drenem. Dla wykonanej struktury tranzystora rys. 4.11

$$f_g = \frac{v_{si}}{2\pi l} = 1.\ 43\ \text{GHz} \qquad (4.11)$$

Pomierzona 3 decybelowa częstotliwość graniczna wynosiła $f_g = 0{,}6$ GHz, ponieważ średnia prędkość nośników jest mniejsza od v_{si}.

Zwiększenie szybkości działania elementów wykorzystujących transport nośników z prędkością nasycenia, wymaga zmniejszenia odległości źródło-dren, ale powoduje to jednocześnie zmniejszenie jego współczynnika wzmocnienia napięciowego. Rozwiązaniem byłoby równoczesne zmniejszenie odległości źródło-bramka, co w tranzystorze SIT opracowanym przez Nishizawe jest praktycznie niemożliwe. Problem ten może być rozwiązany przy wykorzystaniu innych mechanizmów wstrzykiwania nośników w kanał, takich jak przebicie tunelowe lub lawinowe, względnie przebicie typu „punch through". Przykład struktury [A.35], o częstotliwościach granicznych większych od 10 GHz, ilustruje rys. 4.14. Przy grubości tlenku rzędu 0.1 μm i odległości źródło-dren równej 1 μm uzyskuje się częstotliwość graniczną ponad 10 GHz i współczynnik wzmocnienia napięciowego rzędu kilku [V/V]. Istota działania tego elementu polega na wytworzeniu silnego pola elektrycznego w pobliżu źródła, w wyniku przyłożonych napięć tego samego znaku do bramki i drenu. Na rysunku 4.15 przedstawiony jest schematycznie roz-

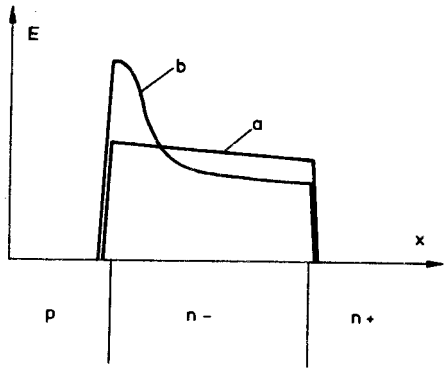


Rys. 4.14. Struktura tranzystora o bardzo krótkim czasie przełączania

kład natężenia pola elektrycznego pomiędzy źródłem i drenem. Wzrost potencjału bramki, przy tym samym potencjale drenu, powoduje zmianę kształtu i wzrost pola elektrycznego przy źródle. Jeżeli w obszarze tym wartość całki jonizacji jest bliska jedności to nośniki w kanale generowane są mechanizmem powielania lawinowego.

$$\int_0^L \alpha_i \left[E(x)\right] dx \qquad (4.12)$$

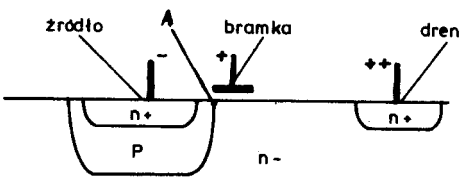
gdzie: α_i - efektywny współczynnik jonizacji.



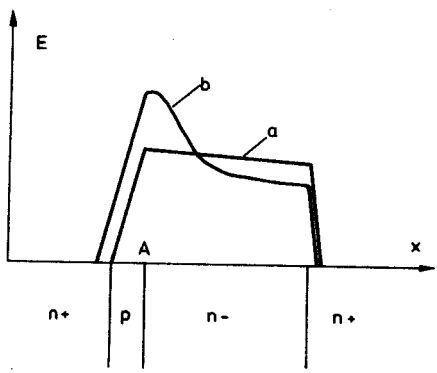
Rys. 4.15. Uproszczony jednowymiarowy rozkład pola elektrycznego w elemencie z rysunku 4.14: (a) - brak polaryzacji bramki, (b) - dodatnia polaryzacja bramki

Jeżeli szerokość l tego obszaru jest niewielka a pole elektryczne duże, to nośniki przedostają się do kanału skutkiem tunelowania elektronów z pasma walencyjnego do pasma przewodnictwa.

Przykład innego opracowanego przez autora rozwiązania przedstawiony jest na rysunku 4.16. Uproszczony jednowymiarowy rozkład pola elektrycznego dla tego przyrządu przedstawiony jest na rysunku 4.17. Kształt pola elektrycznego przy braku polaryzacji bramki jest uzależniony od rozkładu koncentracji domieszek między źródłem a drenem. Polaryzacja bramki powoduje modyfikacje tego rozkładu. Przepływ prądu między źródłem a drenem będzie możliwy, jeżeli wartość pola elektrycznego w punkcie A rys. 4.16 i 4.17 osiągnie wartość większą od:



Rys. 4.16. Struktura tranzystora MOS o charakterystykach triodowych



Rys.4.17. Uproszczony jednowymiarowy rozkład pola elektrycznego w elemencie z rysunku 4.16: (a) - brak polaryzacji bramki, (b) - dodatnia polaryzacja bramki

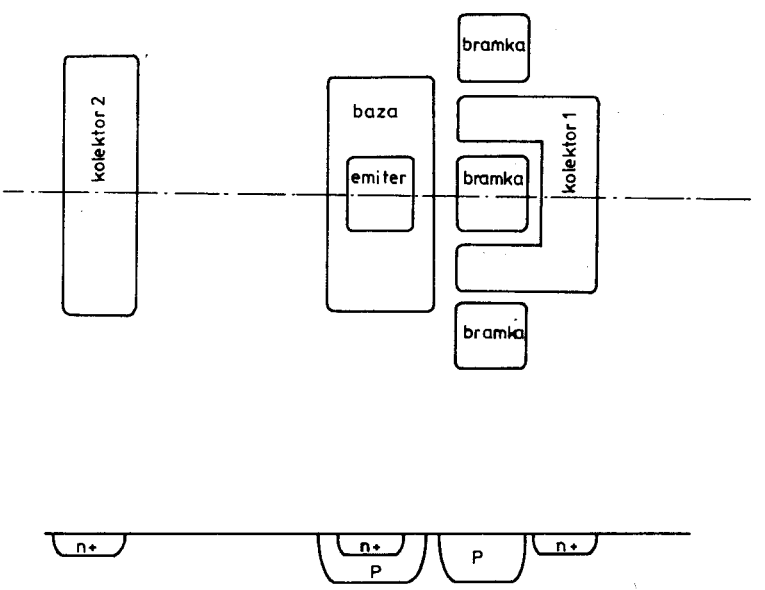
$$E_x \geqslant \frac{q}{\varepsilon\varepsilon_o} \int_0^{x_p} N_p(x)\, dx \qquad (4.13)$$

gdzie:

x_p - grubość warstwy typu p,

$N_p(x)$ - rozkład koncentracji domieszek w warstwie typu p przy powierzchni krzemu.

Należy zaznaczyć, że zastosowanie struktury metal-tlenek-półprzewodnik i wykorzystanie mechanizmu wstrzykiwania poprzez barierę potencjału, tak jak ma to miejsce w tranzystorze Nishizawy, spowodowałoby gromadzenie się ładunków pod tlenkiem, uniemożliwiając oddziaływanie potencjału bramki na prąd drenu. Wady tej nie posiadają struktury przedstawione na rysunkach 4.14 i 4.16, ponieważ silne poprzeczne pole elektryczne pod tlenkiem uniemożliwia gromadzenie w tym miejscu nośników. Dodatkową zaletą obydwu tych elementów jest ten sam znak polaryzacji bramki i drenu względem źródła, co czyni te elementy łatwe do wykorzystania w układach logicznych. Teoretyczny, minimalny czas opóźnienia, wynikający z czasu przelotu nośników między źródłem a drenem $\tau_p = 1/V_{si}$, przy możliwej realizowanej technicznie odległości źródło-dren rzędu 1 μm, dla struktury przedstawionej na rysunku 4.14, jest rzędu 0.01 nS.



Rys. 4.18. Element półprzewodnikowy mający cechy pentody

Nowe możliwości projektowe wynikać też mogą z tworzenia nowych elementów łączących w sobie tradycyjny tranzystor bipolarny oraz efekt elektrostatycznego indukowania pól. Przykładem takiej konstrukcji może być opracowany przez autora półprzewodnikowy element o właściwościach pentody, którego strukturę przedstawiono na rys. 4.18. Prąd wstrzykiwanych elektronów z emitera poprzez bazę w obszar podłoża n^- zależy jedynie od potencjału bazy względem emitera. Natomiast rozpływ tego prądu pomiędzy kolektory 1, 2 uzależniony jest od potencjałów tych kolektorów oraz potencjału bramki. Cechą charakterystyczną tego przyrządu jest duża szybkość działania, przy sterowaniu nim zarówno w bramce jak i w bazie. Możliwe jest również tworzenie szeregu modyfikacji tego elementu.

W tranzystorach SIT (rysunki 4.10, 4.11, 4.12) następuje wstrzykiwanie nośników poprzez barierę potencjału, która w odróżnieniu od typowych tranzystorów bipolarnych jest elektrostatycznie indukowana napięciami bramki i drenu. Elementy wykorzystujące inne mechanizmy wstrzykiwania nośników ilustrują rysunki 4.14 i 4.16. Możliwym jest też tworzenie przyrządów półprzewodnikowych o specyficznych właściwościach wykorzystujących jeszcze inne zjawiska fizyczne.

Otrzymano 27.VI.1977

BIBLIOGRAFIA

[1.1] A m b r o z i a k A.: Półprzewodnikowe układy scalone. PWN, Warszawa 1966.

[1.2] A m b r o z i a k A. i inni: Procesy technologiczne w elektronice półprzewodnikowej. WNT, Warszawa 1973 (praca zbiorowa).

[1.3] B i a ł k o M.: Układy mikroelektroniczne. WKŁ, Warszawa 1969.

[1.4] C a l a h a n D.: Computer aided network design. McGraw - Hill, New York 1972.

[1.5] C a m e n z i n d H.R.: Electronic Integrated System Design. Van Nostrand Reinhold, New York 1972.

[1.6] D e b o o G.J., B u r r o u s C.N.: Integrated circuits and semiconductor devices. McGraw - Hill, New York 1971.

[1.7] F i l i p k o w s k i A.: Mikroelektroniczne układy scalone. WNT, Warszawa 1966.

[1.8] G r e b n e A.B.: Analog integrated circuit design. Van Nostrand Reinhold, New York 1972.

[1.9] G r o b e l n y M.: Projektowanie układów elektronicznych za pomocą komputerów. WKŁ, Warszawa 1973.

[1.10] G h a n d h i S.K.: The theory and practice of microelectronics. John Wiley and Sons Inc., New York 1968.

[1.11] G r o v e A.S.: Physics and technology of semiconductor devices. John Wiley and Sons Inc., New York 1968.

[1.12] H e r s k o w i t z G., S c h i l l i n g R.: Semiconductor device modelling for CAD. McGraw - Hill, New York 1972.

[1.13] Linvill J.: Modele tranzystorów i diod. Wydawnictwo Naukowo-Techniczne, Warszawa 1967.

[1.14] Lynn D., Meyer Ch., Hamilton D.: Analysis and design of integrated circuits. McGraw - Hill Book Company, New York 1967.

[1.15] Millman J., Halkias C.: Integrated electronics. McGraw - - Hill, Tokyo 1972.

[1.16] Rosiński W.: Zasady działania tranzystorów. WNT, Warszawa 1973.

[1.17] Rosiński W.: Implantacja jonów. PWN, Warszawa 1975.

[1.18] Świt A.: Przyrządy półprzewodnikowe. WNT, Warszawa 1968.

[1.19] Świt A., Pułtorak J.: Przyrządy półprzewodnikowe. WNT, Warszawa 1976.

[2.1] Allen W.G., Atkinson C.: Comparison of models for redistribution of dopants in silicon during thermal oxidation. 1973, Sol, State Electr. 16, 1283-1287.

[2.2] Beaufoy R., Sparkes J.J.: The junction transistor as a charge - controlled device. 1957, ATE J. N.4, p.310.

[2.3] Bhattacharyyaa A.B., Gupta M.L., Garg V.K.: Temperature coefficient calculations for monolithic resistors. 1970. Microelelectron. Reliab. 9, 349-355.

[2.4] Bullis W.M., Brower F.H., Kolstad C.D., Swartzendruber L.J.: Temperature coeficient of resistivity of silicon and germanium near room temperature. 1968, Sol. State Elec. 11, 639-646.

[2.5] Choma J.: Error minimalization in the measurement of bipolar collector and emitter resistances. 1976, IEEE J. Sol. State Circuit, SC-11, 318- -322.

[2.6] Conte S.D.: Elementary numerical analysis, McGraw - Hill, New York 1965.

[2.7] D´Andern G., Murman H.: Correction terms for contacts to diffused resistors, 1970, IEEE Tran. ED-17, 484-485.

[2.8] Deal B.E., Grove A.S., Snow E.H., Sah C.T.: Observation of Impurity Redistribution During Thermal Oxidation of Silicon Using MOS Structure. 1965, J. Electrochem. Soc. 112, No 3. 308-314.

[2.9] Ebers J.J., Moll J.L.: Large signal behavior of junction transistors. 1954, Proc. IRE 42, 1761-1772.

[2.10] Fossum J.: A bipolar device modeling technique applicable to computer-aided circuit analysis and design, IEEE Trans. Electron Devices, 1973 IEEE Trans. ED-20, No 6, 582-593.

[2.11] Giacoletto L.J.: Measurement of emitter and collector series resistances. 1972, IEEE Tran. ED-19, No 5, 692-693.

[2.12] Groendijk H.: Modeling base in a bipolar transistor. 1973, IEEE Trans. ED-20, s. 329-330.

[2.13] Grove A.S., Leistiko O., Sah C.T.: Redistribution of acceptor and donor impurities during thermal oxidation of silicon. 1964, J. Appl. Phys. 35, 2695-2701.

[2.14] Gummel H.K., Poon H.C.: An integral charge control model of bipolar transistor model. 1970, Bell Syst. Tech. J. 49, 827-852.

[2.15] Gupta M.J., Bhattacharyyaa A.B.: Effect of latteral diffusion on planar resistirs. 1973, Sol. State Elektron. 16, 281-290.

[2.16] Hahn L.A.: The saturation characteristics of high voltage transistor. 1967, Proc. IEEE, 55, 1384-1388.

[2.17] Huang J.S., Weliver L.C.: On the redistribution of boron in diffused layer during thermal oxidation. 1970, J. Elect. Chem. Soc. 117, 1577-1580.

[2.18] Huag J.S.: Rapid determination of emitter and collector bulk resistances. 1976, IEEE, J. Sol. State Circuits SC-11, 343-344.

[2.19] Irvin I.C.: Resistivity of bulk silicon and of diffused layers in silicon. 1962, B.S.T.J. 41, 387-410.

[2.20] Kato T., Nishi Y.: Redistribution of diffused boron in silicon by thermal oxidation. 1964, Jap. Appl. Phys. 3, 377-383.

[2.21] Kennedy D.P., O'Brien R.R.: Analysis of the impurity atom distribution near the diffusion mask for planar p-n junction. 1965, IBM J. Res. Dev. 2, 179-186.

[2.22] Kulke B., Miller S.L.: Accurate measurement of emitter and collector series resistances in transistor. 1957, Proc. IRE, 45, No 1, 90.

[2.23] Lindholm F.A.: Device modeling for computer aided analysis and design of integrated circuits. 1969, Sol. State Electr. 12, 831-840.

[2.24] Lindholm F., Hamilton D.: Incorporation of the Early effect in the Ebers-Moll model. 1971, Proc. IEEE, 59, 1377-1378.

[2.25] Linvill J.G.: Lumped models of transistors and diodes. 1958, Prod. IRE, 46, 1141-1152.

[2.26] Margalit S., Neugroschel A., Bar-lev A.: Redistribution of boron and phosphorous in silicon after two oxidation steps used in MOS fabrication. 1972, IEEE tran ED-19, 861-868.

[2.27] Prince M.B.: Drift mobilities in semiconductors II silicon. 1954, Phys. Rev. 93, 1204-1206.

[2.28] Shannon I.M.: DC measurement of the impurity profile beneath the gate an MOS transistor presented at the 1971, 5-th Solid State Device Conf. Lancaster.

[2.29] Ting C.Y., Chen C.Y.: A study of the contacts of diffused resistors. 1971, Solid State Electron. 14, 433-438.

[2.30] Van der Ziel A.: A sufficient condition for an Early voltage. 1974, Solid-State Electron., 17, pp. 108-110.

[2.31] White A.B.: Basewidth modulation and nonlinear in CADA models. 1972, IEEE J.Solid-State Circuits, SC-7, 428-431.

[2.32] Wolf H.F.: Silicon Semiconductor Data. Pergamon Press. London 1969.

[2.33] Yanagawa T.: Resistance of narrow diffused layers. 1972, IEEE Tran. ED-19, 1166-1171.

[2.34] Malone F.: The Early Voltage of Bipolar Transistor, 1977, IEEE Tran. on Electr. Devices, ED-24, 167-168.

[2.35] A s h o k S.: Comments on „Rapid Determination of Emitter and Collector - - Bulk Resistances". 1977, IEEE J.Sol. State Circuits SC-12, 88.

[3.1] B i l o t t i A.A.: Static Temperature Distribution of IC Chips with Isothermal Heat Sources. 1974, IEEE Trans. ED-21, No 3, 217-226.

[3.2] B e r r y R.D.: An optimal ordering of electronic circuit equations for a sparse solution. 1971, IEEE Trans. CT-18, No 1, 40-50.

[3.3] C a r s l a w H.S., J e a g e r J.C.: Conduction of Heat in solids.Oxford 1959.

[3.4] D e m b a r t B., E r i s m a n A.M.: Hybrid sparse-matrix methode. 1973, IEEE Trans. CT-20, 641-649.

[3.5] F u k a n o r i K., G r a y P.R.: Computer simulation of integrated circuit in the presence of electrothermal interaction. 1976, IEEE, J.Sol. State Circuit SC-11, 834-846.

[3.6] G r a y P.R., H a m i l t o n D.J.: Analysis of Electrothermal Integrated Circuits. IEEE J.Sol. State Circuits, 1971, SC-6, No 1, pp. 8-14.

[3.7] H s i e h H.Y.: Pivoting-order computation method for large random sparse systems. 1974, IEEE Trans. CAS-21, 225-230.

[3.8] K a l i t a W.: Wpływ temperatury na odwracalne i nieodwracalne zmiany parametrów mikroukładów grubowarstwowych. Praca doktorska. Gdańsk 1972.

[3.9] K o k k a s A.G.: Thermal Analysis of Multiple Layer Structures. 1974, IEEE Trans. ED-21, No 11, 674-681.

[3.10] K u r m a n K.J.: Conserved and minimized values in nonlinear networks and their nonelectrical analogies. 1974, Bull. Pol. Academy of Sciences. 22, No 1, 75-81.

[3.11] K u r m a n K.J.: Materiały IV Konferencji Mikroelektroniki. Toruń, 4-5 październik 1973.

[3.12] L i n d s t e d R.D., S u r t y R.J.: Steady-State Junction Temperatures of Semiconductor Chips, IEEE Trans. 1972, ED-19, No 1, 41-44.

[3.13] M c C a l l a W.J., P e d e r s o n D.O.: Elements of computer aided circuit analysis. 1971, IEEE Trans. CT-18, No 1, 14-26.

[3.14] N a k h l a M., S i n g h a l K., V l a c h J.: An optimal pivoting order for the solution of sparse system of equations. 1974, IEEE Trans. CAS-21, 222-225.

[3.15] R o h s e n o w Ed. W., H a r t n e t t J.: Hand book of Heat Transfer. McGraw-Hill, New York 1973.

[3.16] W o l s z c z a k B.: Komputerowe projektowanie układów elektronicznych. 1973, Elektronika, 14, No 11, 499-501.

[4.1] A m b r o z i a k A.: Wielozłączowe przyrządy funkcjonalne. Praca habilitacyjna, Politechnika Warszawska, 1970.

[4.2] B e r g e r H.H., W i e d m a n S.K.: Merged-transistor logic- a low cost bipolar logic concept. 1972, IEEE J.Sol. State Circuit SC-7, 340-345.

[4.3] H a r t K., S l o b A.: Integrated injection logic - a new approach to LSI. 1972, IEEE J.Sol. State Circuit SC-7, 346-351.

[4.4] L e h n i g H.: Curent hogging Logic (CHL) - a new bipolar logic for LSI. 1974, IEEE J.Sol. State Circuit, SC-9, 228-233.

[4.5] Mizuno H. i inni: Theory of negative resistance of junction field effect transistors. 1976, IEEE J.Sol. State Circuit SC-11, 313-317.

[4.6] Rulkarni C., Newcomb R.: An integrated MOS neuristor line. 1976, Proc. IEEE, 64, 1630-1632.

[4.7] Nishizawa J., Teresaki T., Sibata J.: Field-effect transistor versus analog transistor (Static Induction Transistor). 1975, IEEE Tran. Elec. Devices, ED-22, 185-197.

[4.8] Ozawa O., Iwasaki H., Muramoto K.: A vertical channel JFET fabricated using silicon planar technology. 1976, IEEE, J.Sol, State Circuit, SC-11, 511-518.

[4.9] Shockley W.: Problems related to p-n junction in silicon. 1961, Sol. State Electr., 2, 35-67.

[4.10] Tomisawa O. i inni: Vertical Injection Logic. 1976, IEEE, J. Sol. State Circuit. SC-11, 637-643.

[A.1] Wilamowski B.M., Yokogawa H., Nishizawa J.: Neuristor Propagation in low Impedance Line. International Journal of Electronics, 1970, vol. 29, No 2, pp. 101-137.

[A.2] Wilamowski B.M.: Analysis of the Neuristor Line. 1972, Bulletin de L 'Academie Polonaise des Sciences, vol.XX, No 2, pp. 37-44.

[A.3] Wilamowski B.M.: O możliwości budowy neurystorowych sieci logicznych. Rozprawy Elektroniczne, 1973, 19, nr 2, 273-280.

[A.4] Wilamowski B.M.: A novel concept of neuristor logic. International Journal of Electronics, 1972, vol.33, No 6, pp.659-663.

[A.5] Wilamowski B.M.: Element realizujący iloczyn logiczny. Patent 73776.

[A.6] Wilamowski B.M.: Element realizujący sumę logiczną. Patent 73775.

[A.7] Wilamowski B.M.: Element logiczny realizujący negację. Patent 73777.

[A.8] Wilamowski B.M.: Wpływ właściwości elementów wewnętrznych na charakterystyki statyczne i parametry zaciskowe bramek TTL. Archiwum Elektrotechniki, 1973, XXII, Zeszyt 1,49-59.

[A.9] Wilamowski B.M., Kierkowski J.: Uszkodzenia bramek logicznych TTL. Archiwum Elektrotechniki, 1973, XXII, Zeszyt 2, 497-506.

[A.10] Orłowska I., Wilamowski B.M.: Design method of diffusion resistors. 5-th International Conference on Solid State Devices Tokyo 1973, J.Jap. Soc. Applied Physies, vol. 43, 1974, pp. 415-417.

[A.11] Wilamowski B.M.: Zmiany rezystancji warstw dyfuzyjnych w procesie redystrybucji domieszek. Sympozjum pt. „Nowoczesne Technologie w Mikroelektronice", Toruń, 3 października 1973, ss. 289-295.

[A.12] Wilamowski B.M.: Przedwzmacniacze m.cz. o dużej impedancji wejściowej w układach scalonych. IV Krajowa Konferencja Mikroelektroniki, Toruń 4-5 października 1973.

[A.13] Wilamowski B.M.: Układ stopnia wejściowego o dużej impedancji wejściowej. Zgłoszenie patentowe, P. 168481.

[A.14] W i l a m o w s k i B.M.: Metody projektowania scalonych końcówek mocy wzmacniaczy m.cz.. IV Krajowa Konferencja Mikroelektroniki, Toruń, 4–5 października 1973.

[A.15] W i l a m o w s k i B.M.: Układ stopnia końcowego wzmacniacza małej częstotliwości. Patent 84048.

[A.16] W i l a m o w s k i B.M.: Podukłady wzmacniaczy operacyjnych I i II generacji. 1973, stron 44. rys. 32, dla PIE CEMI.

[A.17] R o s z k i e w i c z J., W i l a m o w s k i B.M.: Distributed bipolar transistor model. Proc. 4-th Summer School on Circuit Theory, Prague, 1974, pp. 323-326.

[A.18] W i l a m o w s k i B.M.: Komputerowa analiza wzmacniaczy pośredniej częstotliwości na przykładzie TBA 120. 1974, z. 9, stron 47, rys. 9, dla ITE CEMI.

[A.19] W i l a m o w s k i B.M.: Modyfikacje programu analizy w celu określenia czynników wpływających na charakterystyki i parametry układu TBA 120. 1974, z. 10, stron 30, rys. 11, dla ITE CEMI.

[A.20] W i l a m o w s k i B.M., P ł o t k a P.: Komputerowa analiza układu TBA 120S z uwzględnieniem efektów termicznych. 1975, z. 5, ss. 25, dla ITE CEMI.

[A.21] W i l a m o w s k i B.M., P ł o t k a P.: Komputerowa analiza wpływu parametrów technologicznych na charakterystyki elektryczne układu TBA 120S. 1975, z. 6, stron 30, dla ITE CEMI.

[A.22] S t a s z a k Zb., W i l a m o w s k i B.M.: Badanie rozkładu temperatur w układach scalonych. 1975, z. 4, stron 55, dla ITE CEMI.

[A.23] W i l a m o w s k i B.M., J a n k e W., Ś w i ę c i ń s k i S.: Algorytm obliczania parametrów stałoprądowego modelu tranzystora. 1975, z.2, stron 25, dla PIE CEMI.

[A.24] W i l a m o w s k i B.M., C z a r n u l Z., B i a ł k o M.: Novel inductorless neuristor line. Electronis Letters 24-th July 1975, vol.11, No 15, pp. 335-356.

[A.25] P i e t r e n k o W., W i l a m o w s k i B.M.: Pomiar rezystancji rozproszonej kolektora tranzystora bipolarnego. 1976, Rozprawy Elektrotechniczne, vol. 22, z.4, ss. 803-812.

[A.26] W i l a m o w s k i B.M., C z a r n u l Z., B i a ł k o M.: Nowa koncepcja bezindukcyjnej linii neurystorowej. 1976, Archiwum Elektrotechniki, vol. 25, z. 3, ss. 583-592.

[A.27] N i s h i z a w a J., W i l a m o w s k i B.M.: Static Induction Logic A Simple Structure With Very Low Switching Energy and Very High Packing Density. 1976 Sept. International Conference on Solid State Device, Tokyo, pp. 53-54.

[A.28] N i s h i z a w a J., W i l a m o w s k i B.M.: Integrated Logic – – Static Induction Transistor Logic. 1977 Feb. International Solid State Circuit Conference, Filadelfia, FAM 18.3.

[A.29] W i l a m o w s k i B.M.: The new transistor structure and its application for microenergy logic. 1977, Bulletin de L'Academie Polonaise des Science, vol. XXV, No 6.

[A.30] Janke W., Święciński S., Wilamowski B.M.: Stałoprądowy model tranżystora bipolarnego dla szerokiego zakresu prądów i temperatur. 1977, Rozprawy Elektrotechniczne (w druku).

[A.31] Nishizawa J., Wilamowski B.M., Shimbo M., Mochida Y., Nonaka T.: Integrated Logic - Static Induction Transistor Logic. 1977, RIEC Technical Report TR-37, Tokoku University, Japan.

[A.32] Wilamowski B.M.: Sposób wytwarzania tranzystorów npn. Zgłoszenie patentowe. P 198655.

[A.33] Wilamowski B.M.: Sposób zapobiegania nasycania się tranzystorów npn w układach scalonych. Zgłoszenie patentowe. P 198386.

[A.34] Wilamowski B.M.: Tranzystor polowy o charakterystykach triodowych. Zgłoszenie patentowe. P 198348.

[A.35] Wilamowski B.M.: Tranzystor MOS o dużej częstotliwości granicznej. Zgłoszenie patentowe.

PROBLEMS OF BIPOLAR MONOLITHIC INTEGRATED CIRCUIT DESIGN

The paper is devoted to the design problems of bipolar monolithic integrated circuit, considering technological aspects and thermal phenomena. Analytical relations describing the parameters of drive-in process have been derived. A method for defining of temperature coefficient of resistance for diffusion resistors is presented and the effect of lateral diffusion in predeposition and drive-in steps on the resistor value is also included. The presented bipolar transistor model for CAD is valued in a wide range of currents and temperatures. The new effective method for CAD of circuit characterised by high complexity and the method for steady state analysis of thermal international in integrated circuits have been persented. A number of the new kind of transistors utilizing other than commonly used physical phenomena was described. Some examples of new circuit construction, particulary the new family of logic circuits with high packing density and low delay-power product are also given.

ПРОБЛЕМЫ ПРОЕКТИРОВАНИЯ БИПОЛЯРНЫХ МОНОЛИТНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Работа посвящена проблемам проектированя биполярных монолитных интегральных схем с учётом технологических аспектов и тепловых явлений. Выведены аналитические зависимости между параметрами процеса розгонки примесей. В работе представлены также методы определения температурных особенностей дифузионных сопротивлений и определено влияние боковой диффузии. В работе представлена модель биполярного транзистора, имеющая применения при автоматической проектировке схемы в широком диапазоне токов и температур. Разработан новый эффективный метод анализа с помощью

ЭВМ сложных интегральных схем, а также способ учёта термической связи между элементами интегральной схемы для стационарного случая. Представлен целый ряд новых типов транзисторов, разработаных на основе использования физических явлений, которые до настоящего времени не рассматривались. В работе содержится также несколько новых видов схем, а в частности - новый клас логических схем с большой плотностью упаковки, характеризующийся малым произведением мощности и времени переключения.

SPIS RZECZY

	Str.
1. WSTĘP	3
2. MODELE ELEMENTÓW	7
2.1. Procesy technologiczne	8
2.2. Rezystory	12
2.3. Tranzystory	20
2.4. Elementy pasożytnicze	32
3. ANALIZA UKŁADÓW	36
3.1. Efektywna metoda komputerowej analizy układów	36
3.2. Metoda uwzględniania sprzężeń termicznych w układach scalonych	44
4. NOWE ELEMENTY I UKŁADY	48
4.1. Trendy technologiczne	49
4.2. Nowe rozwiązania układowe i konstrukcyjne	52
4.3. Tworzenie nowych elementów	61
BIBLIOGRAFIA	67